

특 1999-0063517

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl.<sup>8</sup>

H01L 27/12

(11) 공개번호 특 1999-0063517

(43) 공개일자 1999년 07월 26일

(21) 출원번호 10-1998-0058989

(22) 출원일자 1998년 12월 26일

(30) 우선권주장 1997-361091 1997년 12월 26일 일본(JP)

(71) 출원인 캐논 가부시끼가이샤 미따라이 하지메

일본 도쿄도 오오따꾸 시모마루쵸 3쵸메 30방 2고

(72) 발명자 사카구치 키요후미

일본국 카나가와켄 요코하마시 켄즈키구 에다히가시 2쵸메 19-2-504

요네하라 타카오

일본국 카나가와켄 마즈기시 누루미즈 2235-2

(74) 대리인 신중훈, 임옥순

심사청구 : 있음

(54) 반도체부재 및 그 제조방법

요약

본 발명에 의한 반도체부재의 제조방법은, 반도체기판의 적어도 하나의 표면쪽에 도전층을 제어할 수 있는 원소를 첨가한 첨가층을 형성하는 공정, 이 첨가층의 표면을 이 첨가층의 두께보다 얇게 다공질화하는 공정, 형성된 다공질층상에 비다공질층을 형성해서 제 1기체를 준비하는 공정, 상기 제 1기체와 제 2기체를 상기 다공질층이 안쪽에 위치하는 다층구조체가 얻어지도록 집합하는 공정, 상기 다공질층으로부터 상기 다층구조체를 분리하는 공정으로 이루어진다.

도표도

도 1

명세서

도면의 간단한 설명

도 1A, 1B, 1BP, 1C, 1D, 1E, 1F 및 1FP는 본 발명에 의한 제조방법의 여러 가지 제조공정을 표시하는, 반도체부재의 일실시예의 개략단면도;

도 2A, 2AP, 2B, 2C, 2D, 2E 및 2EP는 비교예에 의한 제조방법의 여러 가지 제조공정을 표시하는, 반도체부재의 개략단면도;

도 3은 본 발명에서 사용할 수 있는 노내에서 행해지는 확산공정의 일례를 표시하는 개략도;

도 4는 본 발명에 의한 반도체부재의 첨가층의 불순물의 농도분포패턴을 표시하는 그래프;

도 5A 및 5B는 분리의 여러 가지 모드를 표시하는, 본 발명에 의한 반도체부재의 개략단면도;

도 6A, 6B, 6BP, 6C, 6D, 6E, 6F 및 6FP는 본 발명에 의한 제조방법의 제조공정을 표시하는, 반도체부재의 다른 실시예의 개략단면도;

도 7 및 8은 도 1A내지 1F의 제조방법에 의해 얻어진 반도체부재와 도 2A 내지 2E의 비교예에 의한 제조방법에 의해 얻어진 반도체부재에 대해서 행해진 평가의 결과의 몇몇을 표시하는 도면

도면의 주요부분에 대한 부호의 설명

11: 반도체기판

12: P<sup>+</sup>확산층

13: P<sup>+</sup>다공질Si

14: 비다공질박막

15: 절연층

16: 제 2기체

21: Si기판

22: 다공질Si

23: 단결정박막

24: 절연층

25: 지지기판

100: Si기판

150: B<sub>2</sub>O<sub>3</sub>막

301: 노

302: 서셉터(susceptor)	901,911: 제 1기체
902,912: 제 2기체	902,913: 분리영역
904,914: 반도체층	905,915: 절연층
906,916: 접합계면	907: 유체의 제트
908,918: 유체로부터 기체가 받는 힘의 방향	

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체디바이스, 필터, 발광장치, 초소형기계부품 또는 광학부품을 제작하는데에 적절히 사용되는 반도체부재의 제조방법, 더 상세하게는 다공질층을 가진 다층구조체를 2개미상의 부분으로 분리하는 공정을 구비한 반도체부재의 제조방법에 관한 것이다.

반도체부재는 반도체웨이퍼, 반도체기판, 반도체장치 등의 명칭으로 알려져 있다. 본 발명의 목적을 위해서, 반도체부재는 그 반도체영역을 이용해서 반도체소자가 형성되어 있는 것이나, 반도체소자가 형성되기 전의 상태의 것을 포함한다.

이와 같은 반도체부재중에는 절연층상에 반도체층을 가진 것도 있다. 이와 같은 반도체부재를 아래에 상세히 설명한다. 절연층상의 단결정Si반도체층의 형성기술은 SOI(Semiconductor on insulator)기술로서 널리 알려져 있으며, 통상의 Si집적회로를 제작하는데 널리 사용되는 벌크Si기판에서는 얻을 수 없는 여러 가지 우위점을 가지기 때문에 많은 연구자들에 의해 이에 대한 연구가 행해져 왔다. 즉, SOI기술을 이용함으로써,

- (1) 유전체분리가 용이하고 고집적화가 가능;
- (2) 대방사선내성이 뛰어나;
- (3) 부유층량이 저감되고 고속화가 가능;
- (4) 월공정을 생략할 수 있음;
- (5) 래치업을 방지할 수 있음;
- (6) 박막화에 의한 완전공핍형전계효과 트랜지스터가 가능;

등의 우위점이 얻어진다.

한편, 일본국 특개평 5-21338호와 미국특허 제 5,371,037호 공보에는 아래에 설명하는 접합공정을 구비하는 반도체부재의 제조방법이 제안되어 있다.

이 방법에 의하면, 비단결정반도체층이 다공질층위에 형성되고 또 절연층을 사이에 두고 지지기판과 접합되고, 이어서 다공질층이 에칭에 의해 제거된다. 이 방법은, SOI층의 막두께균일성이 뛰어난 것, SOI층의 결정결함밀도를 저감하는 것이 용이한 것, SOI층의 표면평탄성이 양호한 것, 제조시에 고가인 특수사양의 장치가 불필요한 것, 수백용스트롬에서 10미크론정도까지의 SOI막두께범위에 대해서 동일한 장치에 의해 제조가능한 것 등의 점에서 뛰어난 것이다.

또한, 일본국 특개평 9-102594호 공보에 있어서, 실리콘기판속에 도전형을 제어할 수 있는 원소를 확산시켜서 확산영역을 형성하고, 이 확산영역에 다공질층을 형성하고, 다시 비다공질단결정층을 형성하고, 지지기판과 절연층을 개재해서 접합하고, 그후 다공질층을 제거하는 제조방법을 제안했다. 이 방법에 의하면, 비교적 영가의 저항무지층판을 사용해서 저코스트화를 도모하고, 또한 확산법에 의해 표면부근의 농도(비저항)를 정밀하게 제어할 수 있어, 다공질화의 불균일을 억제할 수 있다고 하는 효과가 있다. 그런, 상기 방법에 의하면, 단일한 SOI웨이퍼를 제조하는 데에 한 쌍의 실리콘기판이 소비되며, 기판중의 하나는 연삭, 연마, 에칭에 의해 전부 소모된다.

따라서, 일본국 특개평 7-302889호 공보에 있어서, 실리콘기판의 손실없이 SOI웨이퍼를 제조하는 방법을 제안하고 있다. 이 방법은, 다공질층을 가진 제 1기체의 상기 다공질층상에 비다공질단결정반도체층을 형성하고, 상기 비다공질단결정반도체층을 제 2기체와 절연층을 개재해서 접합한 후, 다공질층에서 상기 제 1기체와 제 2기체의 양자를 파괴하는 일없이 분리하고, 제 1기체의 표면을 평활하게 해서 다시 다공질층을 형성하는 공정으로 이루어져 있다. 이 방법에 의하면, 제 1기체가 파괴되지 않고 분리되므로 SOI웨이퍼제조공정에서 반복해서 사용할 수 있어, 제조코스트를 대폭으로 저감할 수 있고, 또한 제조공정도 단순화할 수 있다.

#### 발명이 이루고자하는 기술적 과제

그러나, 본 발명의 발명자는, 제 1기판이 분리되어 항상 동일한 형상 및 동일한 (노출)표면상태를 나타내지 않으면, 제 1기판을 재사용할 수 있도록 재생하기에 필요한 처리공정은 어떤 조정을 필요로 한다는 것을 발견했다.

또한 다공질층/기판계면의 요철(凹凸)이 크면 제 1기판의 재사용을 제한할 수 있다.

본 발명의 목적은 제 1기판을 재생하기에 필요한 단순화된 처리공정에 의해 저코스트로 반도체부재를 제

조하는 방법을 제공하는데 있다.

본 발명의 다른 목적은, 제 1기판을 제 2기체로부터 신뢰성있게 분리해서, 분리 후 동일한 표면상태를 나타내게 하는 반도체부재의 제조방법을 제공하는 데 있다.

본 발명의 또 다른 목적은, 제 1기판을 제 2기체로부터 분리한 후 제 1기판의 다공질층/기판계면상의 요철을 감소시켜서 제 1기판을 그 비저항에 관계없이 재사용할 수 있게 하는 반도체부재의 제조방법을 제공하는데 있다.

### 발명의 구성 및 작용

본 발명에 의하면, 상기 목적 및 다른 목적은, 반도체기판의 적어도 하나의 표면에 도전층을 제거할 수 있는 원소를 첨가한 첨가층을 형성하는 공정, 이 첨가층의 표면을 이 첨가층의 두께보다 얇게 다공질화하는 공정, 형성된 다공질층상에 다공질층을 형성해서 제 1기체를 준비하는 공정, 상기 제 1기체와 제 2기체를 상기 비다공질층이 안쪽에 위치하는 다공구조체가 얻어지도록 접합하는 공정, 상기 다공질층으로부터 상기 다공구조체를 분리하는 공정을 가진 반도체부재의 제조방법을 제공함으로써 달성된다.

본 발명에 의하면 또한, 반도체기판, 이 반도체기판상에 형성된 단결정반도체층 및 이 단결정반도체층상에 형성된 다공질층으로 이루어진 반도체부재가 제공되며;

상기 단결정반도체층은 에피택셜성장법에 의해 형성된 층이며;

상기 다공질층은 서로 다른 각각의 다공도를 가진 복수의 얇은 층으로 이루어진다.

이하, 본 발명을 첨부도면을 참조해서 상세히 설명한다.

도 1A, 1B, 1BP, 1C, 1D, 1E, 1F 및 1FP는 본 발명에 의한 제조방법의 여러 가지 제조공정을 표시하는 반도체부재의 일 실시예의 개략단면도이다.

스텝1에 있어서, 도전층을 제거할 수 있는 원소(이하, 불순물이라고도 함)를 첨가함으로써 제조된 반도체기판(11)의 표면에 첨가층(12)을 형성한다(도 1A).

그리고, 스텝2에 있어서, 형성된 다공질층(13)이 첨가층(12)보다 얇은 두께를 표시하도록 첨가층(12)의 표면쪽이 다공질화되고, 따라서 잔류첨가층(12A)이 다공질층(13) 밑에 남게 된다(도 1B, 1BP).

이어서, 스텝3에 있어서, 다공질층(13)위에 비다공질층(14)을 형성한다. 필요하다면, 비다공질층위에 절연층(15)을 형성한다(도 1C).

스텝4에 있어서, 비다공질층(14)을 지탱하는 반도체기판(11)(제 1기체)과 별도로 준비된 제 2기체(16)가 함께 접합된다. 따라서, 내부에 비다공질층(14)을 가진 다공구조체(1)가 얻어진다.

그리고, 스텝5에 있어서, 다공구조체(1)는 다공질층(13)의 내부 또는 계면(상면 또는 하면)을 따라서 두 부분으로 분리된다(도 1E). 실제로, 도 1E는 다공구조체(1)가 다공질층(13)의 내부에서 분리되며, 반도체기판(11)과 제 2기체(16)가 분리에 의해 형성된 각 표면에 다공질층의 잔류물을 지탱하도록 되어 있는 것을 표시하고 있다.

필요하다면, 스텝6에 있어서, 잔류다공질층(13)은 제거되어 각각 평탄면을 가진 S01기판(2)과 분리된 반도체기판(11)을 형성한다.

첨가층(12)은, 도포되기 전의 반도체기판(버진웨이퍼)에 비해서, 면균일하게, 즉 1A 내지 1F의 수평방향으로 균일하게 향상된 불순물농도분포를 가진다. 따라서, 잔류첨가층(12A)과 다공질층(13)사이의 계면(1F)은 매우 평탄하다.

계면(1F)은 평탄하기 때문에 잔류다공질층(13)의 제거후 반도체기판(11)에 대해서 균일한 불순물농도를 표시하는 평탄면(SF)이 얻어진다.

한편, S01기판(2)은 분리후 비다공질층(14)상에 잔류다공질층(13)을 형성한다면, 잔류층(13)은 균일한 불순물농도와 매우 균일한 내평면다공도를 표시한다. 그리고, 잔류다공질층(13)은 매우 균일한 두께를 표시하기 때문에 비다공질층내에 불균일막두께분포를 일으키지 않고 선택적으로 그것을 제거할 수 있다.

또한, 분리층으로서 작용하는 다공질층(13)은, 상기한 바와 같이, 균일한 불순물농도와 매우 균일한 내 평면다공도를 표시한다는 사실 때문에 잔류다공질층이 거의 일정한 두께를 표시하도록 반도체기판(11)에 소망의 형상을 변형없이 주기 위하여 일반적으로 동일평면을 따라서 분리가 일어난다. 따라서, 잔류다공질층의 제거동작은 동일조건에서 행할 수 있으므로 대량생산에 적합하다.

또한, 제 1기체의 다공질층/기판계면의 요철은, 첨가층의 표면층을 첨가층의 두께보다 얇은 두께로 다공질화해서 다공구조체를 이 다공질층을 따라서 분리함으로써 최소화할 수 있다. 이 효과는 이하에 더 상세히 설명한다.

단결정웨이퍼용 이곳의 제조공정에 있어서, 고상이 이곳의 횡단방향을 따라서 성장할 때 불순물농도에 미세한 변동이 나타날 수 있다. 이 농도의 변동은 통상의 IC제조공정에 대해 무시해도 된다.

일본국 특개평 7-302889호 공보에 개시된 바와 같이 접합된 제 1 및 제 2기체를 제 2기체에 형성된 다공질층을 따라서 분리해서 분리된 Si기판을 다른 제 1기체로서 재사용하는 방법에 의하면, 상기한 바와 같이, 웨이퍼표면의 불순물농도의 변동으로 인해 다공질층/기판계면에 요철이 형성될 수 있다. 예를 들면, 웨이퍼표면상의 다공질층의 양극화성공정에 있어서, 잔류막두께는, 다공질층의 막두께분포를 국부적으로 변경해서 다공질층/기판계면에 요철을 형성하기 위하여 변화된다. 이 현상을 도 2A 내지 2E를 참조해서 더 설명한다.

스텝S11을 표시하는 도 2A에 있어서, (21)은 단결정판이고, (22)는 다공질층이다. 도 2A에 의하면, 불순물농도는 화살표(26), (27)로 표시한 위치에서 달라서, 첨가층은 이를 위치에서 다른 속도로 다공질화되어, 그 결과 그곳에 준위차를 형성하게 된다. 그리고, 스텝S12에서, 단결정층(23) 및 산화층(24)이 형성되어 제 1기체를 준비하는 공정이 완료되고(도 2B), 스텝S13에서 제 1기체가 제 2기체(25)에 접합된다(도 2C). 그후, 스텝S14에서, 2개의 기체가 다공질층(22)을 따라서 분리되고(도 2D), 그리고 스텝S15에서, 잔류다공질층이 제 2기체로부터 제거되어 SOI기판이 형성되게 된다(도 2E). 한편, 잔류다공질층의 제거후 제 1기체는 약 수백  $\mu\text{m}$  내지 1mm의 간격으로 다공질층/기판계면상에 존재하는 요철(28)을 나타낸다(도 2F). 예를 들면, CZ기술을 사용하는 잉곳제조공정에 있어서, 거의 동축의 요철이 형성된다. 요철(28)은, 다공질층의 제거후 기판이 지나치게 연마되지 않는다면, 다공질층이 연마에 의해 제거되면 남겨진다. 다공질층의 제거후 노출된 제 1기체의 표면은 이와 같은 요철을 표시할 뿐만 아니라 다공질층의 미소구멍의 전단부의 형상에 대응하는 어느 정도의 미소거칠도 표시한다. 미소거칠은 제거할 수 있어, 막두께의 감소가 수반되지 않는 표면터치연마공정에 의하여 또는 수소함유분위기속에서 행해지는 열처리공정에 의해 표면을 평탄화할 수 있다.

그러나, 요철은 다공질층의 두께의 변동에 의해 일어나기 때문에 제 1기판은 결국, 제 1의 재사용을 위해 만족스럽게 재생되더라도, 표면평탄화처리를 받지 않는다면 다른 재사용을 허용하지 않는 현저한 요철을 표시하게 된다. 그리고, 제 1기판은 그 높이가 어느 정도 감소되는 대가를 치루고 연마됨으로써 평탄화되어야만 한다. 따라서, 웨이퍼는 다공질층의 두께와 연마에 의해 손실된 두께에 의해 그 높이를 잃게 된다. 웨이퍼가 일정한 준위의 높이를 표시하면, 필요한 기계적 강도가 부족하게 되어 제조공정중에 파괴될 수 있다. 웨이퍼의 재사용의 회수는 한정된다. 다시 말해서, 요철을 제거하기 위해서 웨이퍼가 연마되는 회수 및 두께의 양측이 웨이퍼의 많은 회수의 재생을 위하여 감소되어야 한다. 따라서, 웨이퍼는 웨이퍼표면상의 불순물농도의 국부적 변동과 다공질층/기판계면상의 요철의 양측을 감소시킴으로써 여러번 효과적이고 효율적으로 재생될 수 있다.

본 발명에 의하면, 다공질층/기판계면상의 요철은 확산, 이온주입 또는 에피택셜성장 등의 도전층을 제 어할 수 있는 불순물원소를 첨가하는 적절한 기술에 의해 웨이퍼표면상의 내평면불순물농도를 균일화하기에 적합한 처리를 사용해서 감소된다. 따라서, 본 발명에 의하면, 다공질층/기판계면상의 요철은 잔류다공질층의 제거후 즉시 또는 수소함유분위기속에서 행해지는 열처리공정 또는 표면터치연마공정에 의해 미소거칠을 평탄화함으로써 그것을 재생한 후 즉시 제 1기체를 재사용할 수 있도록 효과적으로 감소될 수 있다.

본 발명의 목적을 위해서, 제 1기체의 표면출만 고불순물농도를 표시하는 첨가층으로 변경해도 된다. 그 이유는 에피택셜층의 결정성은 그 표면근방에서 다공질층의 구조체에 대해 매우 민감하기 때문이다. 웨이퍼의 잔류하는 하층부는 실제로는 제조공정에 사용되지 않기 때문에 비교적 영가의 저항무지정재생 웨이퍼를 본 발명의 목적을 위해 사용해도 된다. 여기서 사용되는 재생웨이퍼는 IC프로세스에서 사용되는 모니터웨이퍼 또는 에칭 또는 연삭에 의해 상기 표면상의 제거된 디바이스를 지탱하는 웨이퍼의 표면층을 제거한 후 상기 표면을 IC프로세스에 적합한 수준의 평활도로 연마함으로써 얻어지는 웨이퍼를 말한다. 이와 같은 재생웨이퍼는 통상의 웨이퍼와 같은 불순물농도준위 및 오염준위를 표시한다.

첨가층이 확산기술에 의해 형성되면, 확산층(예를 들면, P<sup>+</sup>층)의 확산은 전면과 후면의 양측에서 동시에 행해질 수 있다. 이것은 웨이퍼의 후면의 저항과 양극의 저항의 양측이 양극화성을 위해 낮아질 수 있어, 전류가 웨이퍼표면에 균일하게 흘러가게 될 수 있음을 의미한다. 그리고, 웨이퍼의 표면에는 다공질Si가 균일한 두께로 형성될 수 있다. 확산기술과 달리, 이온주입 또는 에피택셜 성장에 의해 P<sup>+</sup>층이 형성될 수 있지만, 이들 양 기술은 웨이퍼의 한쪽을 처리하는데만 효과적이고 이들의 어느 쪽도 후면에 P<sup>+</sup>층을 동시에 형성하는 데는 사용할 수 없다. 또한, 이들은 확산기술보다 비용이 더 들지만 웨이퍼의 한쪽만을 처리하는 데는 좋다. 따라서, 확산기술은 양측면을 동시에 처리할 수 있어 처리비용이 낮아진다고 하는 점에서 유리하다.

한편, 에피택셜성장기술은 제 1기체의 높이의 감소를 효과적으로 최소화할 수 있고, 낮은 결합밀도로 표면을 평탄화할 수 있고, 막의 전높이에 걸쳐 균일한 불순물농도를 가지게 할 수 있다는 점에서, 이들 처리가 확산기술보다 다소 비용이 들더라도, 확산기술에 비해 유리하다.

따라서, 상기한 바와 같이, 본 발명에 의하면, 다층구조체의 제 1 및 제 2기판은 대표면적에 걸쳐 다공질층을 따라서 분리될 수 있어, 제 1기체를 굽어내서 다공질층을 표출시키기 위하여 종래의 처리에서 사용되는 연삭, 연마, 에칭의 처리공정을 생략할 수 있으므로 전체의 공정수를 편리하게 감소시킬 수 있다.

또한, 제 1기체의 기판이 다층구조체를 제조하는 공정에서 그 한쪽으로부터 연삭 또는 에칭에 의해 서서히 제거된다면, 이 기판의 두 측면은 그것을 지지기판에 접합하는 데에 효과적으로 사용될 수는 없다. 이와는 반대로, 본 발명에 의하면, 제 1기체의 기판은 표면층을 제외하고 원래의 형상을 유지하며, 따라서 한 쌍의 다층구조체는 제 1기체의 기판의 양면을 사용해서 한 쌍의 지지기판을 제 1기체의 기판의 각면에 접합함으로써 동시에 제조될 수 있다. 이와 같은 기술은 전체의 제조시간을 현저히 줄일 수 있어 생산성을 향상시킬 수 있다. 제 1기체의 기판을 다층구조체로부터 분리한 후 재사용할 수 있음은 물론이다.

따라서, 본 발명은 넓은 영역에 걸쳐 균일한 결정성을 표시하는 단결정판을 사용해서 표면에 형성된 Si 또는 화합물반도체활성층을 제외한 기판의 한쪽으로부터 표면층을 제거해서 결합없이 실제적으로 절연층상에 Si단결정층 또는 화합물반도체단결정층을 제조함으로써 반도체부재를 대단히 경제적으로 제조하는 방법을 제공한다.

또한, 본 발명은 생산성, 균일성, 제어성, 및 투명기판(광투과성기판)상의 단결정웨이퍼와 같은 양호한 결정성을 표시하는 Si 또는 화합물반도체단결정층을 제조하는 비용의 면에서 뛰어난 반도체부재를 제조하는 방법을 제공한다.

또한, 본 발명은 SOI구조를 가진 LSI를 제조하는 고가의 SOS 또는 SIMOX를 대체할 수 있는 반도체부재를 제조하는 방법을 제공한다.

본 발명에 의하면, 양호한 결정성을 표시하는 단결정화합물반도체층을 다공질Si층위에 형성한 후, 경제적으로 형성할 수 있는 큰 면적을 가진 절연기판위에 옮길 수 있다. 따라서, 화합물반도체층을 절연기판상에 형성할 수 있어, 격자상수 및 열팽창계수의 차이를 최소화할 수 있다.

본 발명의 목적을 위해서 사용할 수 있는 반도체기판은 P형 또는 N형반도체기판이다. 이것은 특정비저항을 가진 실리콘기판이어서 되며, 또는 이것은 비교적엄가의 저항무지정실리콘웨이퍼 또는 재생웨이퍼(여기서 사용되는 재생웨이퍼란 IC프로세스에서 사용되는 모니터웨이퍼 또는 에칭 또는 연마에 의해 표면상의 제거된 디바이스를 지탱하는 웨이퍼의 표면층을 제거한 후, 상기 표면을 IC공정에 적합한 주위의 평활도로 연마함으로써 얻어지는 웨이퍼를 말한다)이어서 된다.

본 발명에 의하면, 양극화성 및 이온주입의 결합사용에 의해 외주면적의 다공도를 감소시킬 수 있고, 중심면적의 다공도는 상승시킬 수 있어, 외주면적은 현저하게 팽창해서 그 용적을 증가시킬 수 있는 한편, 중심면적은 강도를 약하게 만들 수 있으므로 용이하게 분리될 수 있다.

(첨가층의 형성)

본 발명의 목적을 위해서, 도전형을 제어하기 위해서 실리콘기판에 첨가되는 원소(불순물)란 반도체프로세스에 널리 사용되는 원소이다.

표 1은 이와 같은 원소의 몇몇을 표시한다.

[표 1]

전도형을 제어할 수 있는 원소

도전형	원소
n	P, As, Sb
p	B

원소를 첨가하는데 사용할 수 있는 기술은 확산법, 이온주입, 에피택셜성장 등을 포함한다.

요소를 첨가하는데 확산방법이 사용된다면 도전형을 제어할 수 있는 원소를 열적으로 실리콘기판속에 확산시킬 수 있는 확산방법을 선택하는 것이 비용의 관점에서 바람직하다. 아래의 표 2는 이와 같은 원소를 열적으로 확산시키는 데 사용할 수 있는 여러 가지 확산방법을 표시한다.

[표 2]

원소를 확산시키는 기술

확산방법	확산원	노
개관법	PoCl <sub>3</sub> , BH <sub>3</sub> , PH <sub>3</sub>	확산로
도포방법	도포유리	확산로
도프된 막의 사용	도프산화물 (CVDPSG) 도프폴리Si	확산로
봉관법	As(고체), BCl <sub>3</sub> , PH <sub>3</sub> , 캡슐	확산로

본 발명에 의한 확산영역에 다공질층이 형성되지만, 다공질층은 n형확산영역에서 보다 P형확산영역에서 더 용이하게 형성될 수 있다.

표 3은 B(붕소)를 확산하는데 사용할 수 있는 기술을 표시한다.

[표 3]

붕소확산기술

가스소스	B <sub>2</sub> H <sub>6</sub>
액체소스	BBr <sub>3</sub>
고체소스	B <sub>2</sub> O <sub>3</sub>
고상-고상 확산	CVD막, BSG 스핀-코트막

표 3에 기재된 기술은 기본적으로 노내에서 행해지는 열처리작업에 의해 소스로부터 실리콘기판에 공급

되는 원소를 확산시키기 위하여 고안되었다.

예를 들면, 스피코트막을 사용하는 확산공정은 일반적으로 아래에 기재된 바와 같이 행해진다.

우선,  $B_2O_3$ , 유기바인더, 용매의 혼합액이 스피너에 의해 실리콘기판(실리콘웨이퍼)상에 균일하게 도포된다. 그 후, 도포된 용액은 건조해서 소성해서 실리콘기판상에  $B_2O_3$ 막을 형성한다. 그리고, 실리콘기판은 도 3에 표시한 노내에 놓여져서 열처리되어 붕소(B)를 구동해서 확산시킨다. 도 3에서, (301)은 노, (302)는 서셉터이며, (100)은 양면중 한쪽면에서  $B_2O_3$ 막(150)으로 피복된 실리콘기판이다. 붕소(B)는 도 3에 표시한 노내에서 약 900°C 내지 1300°C에서 열처리함으로써 실리콘기판내에 확산시키기 위하여 구동될 수 있다. 확산층은, 확산원으로서 근방에 위치한 실리콘기판상에 형성된  $B_2O_3$ 막을 사용해서,  $B_2O_3$ 막을 형성한 상기한 면뿐만 아니라 그 반대쪽에도 형성된다.

실리콘기판의 양면에 각각 형성된 확산층은, 다음의 공정에서 양극화성에 의해 다공질층을 형성할 때 접촉저항을 HF용액으로 감소시키기 위하여 유리하게 작용한다.

본 발명에 있어서 형성된 확산영역에 포함된 도전형을 제어할 수 있는 원소의 농도는, 일반적으로  $5.0 \times 10^{16}/cm^2 \sim 5.0 \times 10^{18}/cm^2$ 의 범위, 바람직하게는  $1.0 \times 10^{17}/cm^2 \sim 2.0 \times 10^{18}/cm^2$ 의 범위, 더 바람직하게는  $5.0 \times 10^{17}/cm^2 \sim 1.0 \times 10^{18}/cm^2$ 의 범위로 되지만, 다공질화공정 및 다공질실리콘층상에 형성되는 에피택셜막의 특성을 고려하는 것이 바람직하다.

본 발명에 있어서, 첨가층의 두께란, 첨가된 불순물의 농도가 불순물에 의해 도프되기 전의 반도체기판 내의 불순물이 농도보다 높은 부분의 두께를 말한다.

n형기판에 대해 액세서로서 작용하는 불순물이 첨가되면, 표면으로부터 PN접합면까지의 깊이는 이 P형 첨가층의 두께가 된다.

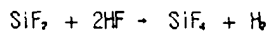
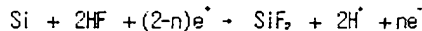
마찬가지로, P형기판에 대해 도너로서 작용하는 불순물이 첨가되면, 표면으로부터 PN접합면까지의 깊이는 이 n형첨가층의 두께가 된다.

도 4는, 실험의 결과로서 얻어지는 바와 같이, 첨가되는 불순물의 형이 기판과 같은 형(P형 또는 N형)일 때의 불순물의 농도형상을 표시한다.

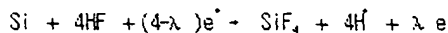
도 4에서, 실선(31)은 확산방법에 의해 불순물(예를 들면, 붕소)이 첨가될 때에 얻어지는 불순물농도형상을 표시하며, 점선(32)은 에피택셜성장예에 의해 첨가층이 형성될 때에 얻어지는 불순물농도형상을 표시한다. 도 4에서, (t)는 첨가층의 두께를 표시한다. 도 4에서 볼 수 있는 바와 같이, 에피택셜 성장에 의한 첨가층의 형성은 층두께가 균일한 불순물농도형상을 형성하며, 따라서 이 층을 다공질화하는데 바람직하다. 첨가층은 0.2 $\mu m \sim 30\mu m$ 의 깊이를 가지는 것이 바람직하며, 더 바람직하게는 0.2 $\mu m \sim 15\mu m$ 의 깊이를 가진다.

#### (다공질층의 형성)

본 발명의 목적을 위하여 다공질층을 형성하는데 사용할 수 있는 기술을 요약해서 아래에 설명한다. 예를 들면, Si의 다공질층은 우리들 등에 의해 1956년에 발견되었으며, 그때 그들은 반도체부재를 전기분해적으로 연마하는 공정을 연구하고 있는 중이었다(A. Uhler, Bell Syst. Tech. J., Vol. 35, 333(1956)). 다공질Si는 HF용액내의 Si기판을 양극화됨으로써 제조할 수 있다. 우나가미 등은 양극화성에 있어서의 Si의 용해반응을 연구하고, HF용액속의 Si의 양극반응에는 구멍이 필요하며, 그 반응은 다음과 같다고 보고하고 있다(T. Unagami, J. Electrochem. Soc., Vol. 127, 476(1980)).



또는



여기서,  $e^-$  및  $e^-$ 는 각각 구멍 및 전자를 표시하며, n 및  $\lambda$ 는 Si원자를 용해하는데 필요한 구멍의 수를 표시한다. 다공질Si는  $n > 2$  또는  $\lambda > 4$ 를 만족할 때 형성된다.

상기한 설명으로부터, P형Si는 구멍의 존재하에서 다공질Si로 변경되는 반면에, n형Si는 다공질Si로 변경되지 않는다고 할 수 있다. 그러나, 실제로는 n형Si도 다공질상태를 표시하기 위하여 변경될 수 있다. 또한, GaAs 등의 Si이외의 반도체도 다공질상태를 표시하기 위하여 변경될 수 있다.

본 발명에 의하면, 단결정성을 표시하는 다공질층은 일반적으로 HF용액속에서 단결정반도체기판을 양극화함으로써 제조할 수 있다. 다공질층은 스폰지형구조를 표시하며, 여기에는 10 $\mu m \sim 10nm$ 의 직경을 가진 구멍이 또한 10 $\mu m \sim 10nm$ 의 간격으로 배치되어 있다. 단결정반도체기판의 밀도는 일반적으로 2.33g/cm<sup>3</sup>이지만, 다공질층의 밀도는 50 $\sim$ 20%의 HF용액의 농도 및/또는 전류밀도를 변경함으로써 2.1 $\sim$ 0.6g/cm<sup>3</sup>의 범위내에서 변경될 수 있다. 따라서, 다공질층의 다공도는 가변적이다. 다공질층의 밀도는 단결정반도체기판의 밀도의 1/20이하로 감소될 수 있지만, 다공질층은 단결정성을 유지하며, 따라서 다공질층 위에 에피택셜 성장에 의해 비다공질단결정층을 형성할 수 있다. 그러나, 내부구멍의 채배치가 일어나

서, 1000°C 이상의 온도에서의 가속에칭의 효과를 손상시킨다. [따라서, 분자빔에피택셜성장법, 플라즈마(CVD)법, 감압CVD법, 광CVD법, 바이머스스퍼터링법 또는 액상성장법 등의 저온성장기술의 사용이 바람직하다고 생각된다. 그러나, 미리 저온산화공정에 의해 다공질층의 구멍의 벽에 보호박막을 형성했을 경우 고온성장기술도 실행가능하다.

다공질층은 그 내부에 다수의 빈 구멍을 포함하기 때문에 그 밀도는 단결정반도체기판의 밀도의 1/20 이하로 감소된다. 다시 말하면, 다공질층의 표면적은 용적에 대해 극적으로 증가하고, 따라서 다공질층의 화학적에칭속도는 통상의 단결정층의 에칭속도보다 현저하게 증가된다.

다공질층의 기계적강도는 그 다공도에 따라 변화할 수 있지만, 그것은 비다공질층의 기계적강도보다 낮다. 예를 들면, 50%의 다공도를 가진 다공질층은 비다공질층의 기계적강도의 거의 1/2와 같은 기계적강도를 표시한다. 따라서, 다공질층을 가진 접합웨이퍼가 압축, 인장 또는 전단력을 받으면 다공질층이 우선 파괴된다. 높은 다공도를 가진 다공질층은 작은 힘으로 파괴된다.

헬륨 또는 수소이온의 주입후에 벌크Si가 열처리되었을 때, 수nm~수십nm의 직경을 가진 미소공동이, 10<sup>6</sup> 내지 10<sup>7</sup>/cm<sup>2</sup>의 밀도로 벌크Si내에 형성된다는 것이 보고되어 있다(예를 들면, A. Van Veen, C. C. Griffioen and J. H. Evans, Mat. res. Soc. Symp. Proc. 107(1998, Material Res. Soc. Pittsburgh, Pennsylvania) P.449). 최근에 이들 미소공동층을 금속물질의 게터링사이트로서 이용하는 연구가 행해지고 있다.

본 발명의 목적을 위해서, 다공질층은 이 다공질층을 형성하기 전의 대응부분보다 작은 두께를 표시하도록 만들어지는 것이 바람직하다. 이 요구조건을 만족하는 한 다공질층의 두께에 제한은 없지만, 0.1μm~29μm가 바람직하며, 더 바람직하게는 0.1μm~14μm이다.

다공질화되지 않고 다공질층 밑에 남은 비다공질층가층의 두께는 바람직하게는 0.01μm~29μm, 더 바람직하게는 0.01μm~10μm이다.

다공질층은 다른 다공도를 가진 두 박층으로 이루어지도록 만들어지는 것이 바람직하다. 순차로 형성되는 비다공질층근방에 위치한 다공질층내의 상층으로서 형성되는 얇은 다공질층을 제 1다공질층이라 하며, 제 1다공질층 밑에 위치한 다른 얇은 다공질층을 제 2다공질층이라 한다. 그리고, 제 1다공질층은 제 2다공질층보다 낮은 다공도를 가지는 것이 바람직하다.

중간 다공도를 가진 또 다른 다공질층이 제 1 및 제 2다공질층사이에 배치될 수 있다.

또한, 제 3다공질층이 제 2다공질층에 대해 근방에 형성될 수 있다.

그리고, 제 3다공질층은 제 2다공질층의 다공도로부터의 다공도를 표시하면 충분하다.

다공질층을 가진 다층구조체는 제 1다공질층이 제 2다공질층보다 작은 두께를 표시할 때 용이하게 분리될 수 있다.

에피택셜성장법에 의해 형성된 첨가층은 특히 균일한 불순물농도를 표시하기 때문에 이와 같은 층의 사용은 복수의 다공질층을 형성하는 공정을 용이하고 만족스러운 공정으로 만들기 위해 바람직하다.

상기한 바와 같이, 본 발명에 의한 반도체부재는 순차로 형성된 비다공질층을 용이하게 분리할 수 있게 한다.

본 발명에 의한 반도체부재는 수소, 질소 또는 희가스의 이온을 적어도 하나의 다공질층내로 주입함으로써 용이하게 분리될 수 있게 한다.

본 발명에 의한 반도체부재는, 투영범위가 다공질층내에 위치하도록 미리 희가스, 수소, 질소로부터 선택된 적어도 하나의 원소의 이온을 주입함으로써 다공질층의 계면내에서 또는 그 위에서 특층이름을 따라서 분리될 수 있게 만들어진다. 이와 같은 구성에 의해, 제 2기판위에 남은 다공질층은 그다지 선택적이지 아닌 에칭공정을 사용해서 균일하게 제거할 수 있도록 균일한 두께를 표시한다.

#### (비다공질층)

본 발명의 목적을 위해서, 비다공질반도체층은 단결정Si, 다결정Si, 비정질Si로부터 선택된 적어도 하나 또는 GaAs, InP, GaAsP, GaAlAs, InAs, AlGaSb, InGaAs, ZnS, CdSe, CdTe, SiGe로부터 선택된 화합물반도체 및 다른 화합물반도체재료를 사용해서 적절히 형성될 수 있는 단층 또는 다층구조로 해도 된다. 비다공질층은 미리 형성된 FET(field effect transistor)등의 반도체디바이스를 하나 이상 포함할 수 있다.

또한, 비다공질층은 금속박막 또는 탄소박막으로 해도 되지만, 그에 한정되지는 않는다. 이와 같은 박막을 반드시 전면에서 걸쳐서 형성할 필요는 없으며, 이와 같이 형성된 박막을 부분적으로 에칭해도 된다.

#### (제 1기체)

본 발명의 목적을 위해서, 다공질층과 이 다공질층위에 배치된 비다공질층을 가진 반도체기판으로 이루어진 제 1기체는 반도체기판에 형성된 다공질층위에 비다공질층을 형성하거나 비다공질층을 가진 반도체기판에 다공질층을 형성해서 제조할 수 있다.

다공질층위에 비다공질반도체층을 형성하기 위하여 사용할 수 있는 기술은 감압CVD법, 플라즈마CVD법, 광CVD법, MOCVD법(금속유기CVD)등의 CVD방법과 스퍼터링(바이머스스퍼터링을 포함), 분자빔에피택셜성장법 및 액상성장법 등을 포함한다.

#### (제 2기체)

본 발명에 있어서, 비다공질반도체층이 옮겨지는 제 2기체는 단결정실리콘기판 등의 반도체기판, 반도체

기판의 표면에 산화막(열산화막을 포함) 또는 질화막 등의 절연막을 형성해서 얻어지는 기체, 실리콘유리기판 또는 유리기판 등의 광투과성기판, 일반적으로 금속으로 만들어진 전기전도성기판, 또는 일반적으로 알루미늄으로 만들어진 전기절연성기판 등의 반도체기판이어도 된다. 이와 같은 제 2기체는 반도체부재의 용도에 따라 적절히 선택된다.

(접합)

본 발명에 의하면, 다공질층 및 비다공질층을 가진 제 1기체는 제 2기체에 접합되어 다층구조를 형성하며, 비다공질층은 다층구조내부에 위치한다. 본 발명에 있어서, 비다공질층이 안쪽에 위치하는 다층구조체는, 제 1기체를 구성하는 비다공질층이 직접 제 2기체에 접합된 구조체는 물론, 비다공질층의 표면에 형성된 산화막이나 질화막 등의 절연막, 또는 이것 이외의 막 등이 제 2기체에 접합된 구조체도 포함된다. 즉 비다공질층이 다공질층에 비해서 다층구조체의 안쪽에 위치하는 구조체를 비다공질층이 안쪽에 위치하는 다층구조체라 한다.

구체적인 접합은, 제 1기체와 제 2기체의 접합면을 평탄한 것으로 해 등으로써, 양자를, 예를 들면 실온에서 밀착시킴으로써 행할 수 있다. 접합강도를 증가시키기 위해서 양극접합, 가압, 열처리 등을 실시할 수도 있다.

(다층구조체의 분리)

확산영역 등의 전도형을 제어할 수 있는 원소를 첨가한 층의 표면층을 다공질화함으로써 형성된 다공질층은 그 이외의 영역에 대해서 취약하기 때문에 분리공정에서 다공질층을 따라 붕괴하기 쉬워 안정적으로 분리할 수 있다.

다층구조체는, 접합계면에 수직인 방향으로 인장함으로써, 접합계면에 평행한 방향으로 전단력을 가함으로써(예를 들면, 제 1 및 제 2기체를 접합계면에 평행한 서로 반대방향으로 이동시킴으로써 또는 그들을 중심둘레에 서로 반대방향으로 회전시킴으로써), 접합계면에 수직인 방향으로 압력을 가함으로써, 초음파 등의 파에너지를 분리영역에 가함으로써, 분리공구(예를 들면, 날카로운 모서리를 가진 칼)를 접합계면과 평행하게 접합기체의 측면으로부터 분리영역에 삽입함으로써, 분리될 다공질층에 침투된 물질의 팽창에너지를 이용함으로써, 분리될 다공질층을 열산화해서 팽창시켜서 분리시킴으로써, 접합기체의 측면으로부터 분리될 다공질층을 선택적으로 에칭함으로써 또는 미온주입에 의해 미소공동을 형성할 수 있는 층을 레이저빔으로 조사해서 이 층을 레이저하기 위하여 가열함으로써 분리할 수 있다.

본 발명의 목적을 위하여 실제로 사용할 수 있는 분리방법의 몇가지를 이하에 설명한다.

(유체에 의한 분리)

본 발명에 있어서 다층구조체의 다공질층의 분리를 행하기 위해서 사용하는 유체의 흐름은 가압한 유체(가스 또는 액체)를 좁은 노즐로부터 분사함으로써 실현가능하다. 분사하는 흐름을 보다 고속, 고압의 가는 빔으로 하기 위한 방법으로서 「워터제트」 제 1권 제 1호 제 4페이지 등에 소개되어 있는 워터제트법을 사용할 수 있다.

본 발명에 사용가능한 워터제트는 고압펌프에 의해 가압된 100kg/cm<sup>2</sup>~8000kg/cm<sup>2</sup>의 고압수를 좁은 노즐로부터 분사함으로써 세라믹스, 금속, 콘크리트, 수지, 고무, 목재 등의 절단(단, 단단한 재료일 때는 물에 연마재를 가한다), 가공, 표층의 도막의 제거, 부재 표면의 세정 등을 행할 수 있다. 종래의 워터제트의 사용방법에 있어서는, 상기와 같이 재료의 일부분을 제거하는 것이 주된 효과였다. 즉 워터제트절단은 주부재의 가장자리를 제거하는 일, 또 도막의 제거, 부재표면의 세정, 불필요한 부분을 제거하는 일이었다. 본 발명의 유체의 흐름의 형성방법으로서 워터제트를 사용하는 경우, 상기 분리영역을 접합기체의 특면의 접합선에 맞추어서 워터제트를 분사함으로써 측면으로부터 제거하는 것이 가능하다. 이 경우 우선 접합기체의 측면에 노출되어 있는 상기 분리영역 및 그 주변의 제 1기체와 제 2기체의 일부에 직접 워터제트를 분사한다. 그러면 각각의 기체는 손상을 받지 않고 기계강도가 취약한 분리영역만이 워터제트에 의해 파괴되어 2개의 기체가 분리된다. 또한 어떤 이유로 상기 분리영역이 미리 노출되지 않고 어떤 얇은 층에 의해 그 부분이 덮여져 있는 경우에도 워터제트에 의해 우선 분리영역을 제거하면 된다.

또한 종래는 그다지 이용되지 않았던 효과이지만, 접합웨이퍼의 접합기체 주위의 측면의 좁은 틈새에 워터제트를 분사함으로써 접합웨이퍼를 구조가 취약한 상기 분리영역을 밀어 넓혀서 파괴해서 분리할 수도 있다. 이 경우 절단이나 제거가 목적이 아니기 때문에 분리영역의 절단찌꺼기 거의 발생하지 않으며, 분리영역이 소재로서는 워터제트에 의해서 제거할 수 없는 것이어도 연마재를 사용하는 일이 없으며, 또한 분리표면에 손상을 주는 일 없이 분리하는 것이 가능하다. 이와 같이 이 효과는 절단이나 연마라고 하는 효과가 아니라 유체에 의한 일종의 췌기효과라고 생각할 수 있다. 따라서 이 효과는 접합기체의 측면에 오목형의 좁은 틈새가 있어 워터제트를 분사함으로써 분리영역을 파괴하는 방향으로 힘이 작용하는 경우에는 크게 효과를 기대할 수 있다. 이 효과를 충분히 발휘시키려고 한다면, 상기 접합기체의 측면의 형상이 불룩함이 아니라 오목형인 편이 바람직하다.

도 5A 및 도 5B는 이 효과를 표시하는 도면이다. 도 5A 및 도 5B에 있어서, (901), (911)은 제 1기체, (902), (912)는 제 2기체, (903), (913)은 분리영역, (904), (914)는 반도체층, (905), (915)는 절연층, (906), (916)은 접합계면, (907)은 유체의 제트, (908), (918)은 유체로부터 기체가 받는 힘의 방향을 표시한다.

도 5A는 상기 접합기체의 단부측면이 오목형인 경우에 워터제트가 기체에 주는 힘의 방향을 개념적으로 표시한 것이다. 상기 오목부를 밀어 넓히는 방향으로, 따라서 접합된 기체 상호가 분리되는 방향으로 힘이 작용한다. 이에 대해서, 도 5B는 단부측면이 오목형인 경우에 워터제트가 기체에 주는 힘의 방향을 개념적으로 표시한 것이지만, 이 경우는 기체상호가 분리되는 방향의 힘은 작용하지 않기 때문에 분리영역을 제거할 수 없으면 분리되기 어렵다.

또한 어떤 이유로 상기 분리영역이 미리 노출되어 있지 않아서 어떤 얇은 층에 의해서 그 부분이 덮여져



있는 경우에도, 접합기체의 측면의 형상이 상기와 같이 오목형이면 마찬가지로 분리영역부근을 밀어낼 수 있는 방향의 힘이 작을 것이기 때문에 이 압력에 의해 우선 상기 측면의 분리영역을 덮는 얇은 층이 파괴되고, 계속해서 분리영역이 밀어내어져서 파괴되기 때문에 분리의 효과는 충분히 발휘된다. 웨더제트의 흐름을 손실없이 받기 위해서는 상기 오목부의 개구폭이 웨더제트의 직경 정도 또는 그 이상인 것이 바람직하다. 반도체부재의 제조에 사용하는 경우에는 상기 제 1기체와 제 2기체의 두께가 각각 1.0mm를 하회하는 정도 일반적으로 0.7~0.8mm이기 때문에 접합기체의 두께는 2.0mm를 하회하는 정도이다. 오목부 개구폭은 개략 이의 1/2정도인 것이 보통이기 때문에 웨더제트의 직경은 1.0mm이하인 것이 바람직하다. 현실적으로는 0.1mm정도의 웨더제트직경은 실용화의 범위에 있다.

유체를 분사하는 노즐의 형상은 원형외에 임의의 형상이 가능하다. 가늘고 긴 슬릿상의 노즐도 사용 가능하다. 이와 같은 노즐로부터 유체를 분사하면 얇은 띠형상의 흐름을 형성할 수 있다.

웨더제트의 여러가지 분출조건은 분리영역의 종류, 접합웨이퍼의 상기 측면의 형상 등에 의해 자유로이 선택할 수 있다. 예를 들면, 제트의 압력, 제트의 주사속도, 노즐경(거의 웨더제트의 직경과 같음), 노즐형상, 노즐과 상기 분리영역과의 거리, 유체의 유량 등이 중요한 파라미터가 된다.

실제의 분리공정에서는 접합면에 평행한 방향으로 웨더제트를 불어내면서 접합면을 따라서 노즐을 주사하든가 또는 웨더제트의 쪽을 고정하고 접합기체의 힘을 평행하게 이동시킴으로써 분리할 수 있다. 또한 노즐부근을 허리로 해서 편향상으로 웨더제트를 주사하는 방법이나, 많은 경우에 그런 것과 같이 접합기체가 원반형상이면 노즐을 고정하고 접합기체를 그 중심을 회전중심으로 해서 회전시키는 방법도 채용된다. 또한 필요하다면 접합면과 동일면내에 노즐을 두는 것이 아니라, 소정의 각도로 제트를 분리영역에 충돌시키는 것도 가능하다. 웨더제트의 주사모드는 상기한 것에 한정되지 않는다. 웨더제트의 직경이 대단히 작고, 또 분사방향이 웨더제트면의 거의 평행하기 때문에 백터분해하면 수천 kgf/cm<sup>2</sup>의 고압은 거의 웨더제트에는 가해지지 않는다. 웨더제트가 접합기체에 주는 힘은 수 g정도이므로 기체가 파괴되는 일은 없다.

또한 사용하는 유체로서 물을 사용하지 않고 알콜 등의 유기용매나 불산, 질산 등의 산 또는 수산화칼륨 등의 알칼리 기타의 분리영역을 선택적으로 에칭하는 작용이 있는 액체 등도 사용가능하다. 또한 유체로서 공기, 질소가스, 탄산가스, 희가스 등의 기체를 사용해도 된다. 분리영역에 대해서 에칭작용을 가진 가스나 플라즈마를 사용할 수도 있다. 사용하는 물은 반도체기체의 제조공정에 도입하는 접합기체의 분리방법을 위해서는 불순물농도나 파티클 등을 거의 완전히 제거한 순수, 초순수 등의 순도가 높은 물을 사용하는 것이 바람직하지만 완전저온프로세스이기 때문에 웨더제트에 의한 분리후에 세정해서 제거하는 것도 충분히 가능하다.

#### (산화에 의한 분리)

다공질 Si가 증속산화하는 현상을 이용해서 웨더퍼의 주변으로부터 다공질Si층의 산화를 행함으로써 주변으로 갈수록 다공질 Si의 체적팽창이 크게 되고, 마치 주변으로부터 균일하게 다공질Si에 채기를 넣은 것과 같은 효과가 있으며, 다공질Si층에만 내압이 걸려서 웨더퍼전면에 걸쳐 다공질Si층중에서 분할된다. 다공질Si는 통상 외주부에 있어서도 비다공질층으로 덮여져 있으며, 접합 후 또는 그 전에 외주부 또는 단면을 표출시켜 둘 필요가 있다. 이 접합기체를 산화하면 다공질 Si의 팽대한 표면적에 의해 증속산화가 다공질 Si의 외주부로부터 시작한다. Si가 SiO<sub>2</sub>로 될 때에는 2.2배로 체적이 팽창하기 때문에 다공도가 56%이하일 때는 산화다공질Si층도 체적팽창하게 된다. 산화는 웨더퍼의 중심으로 갈수록 정도는 작아지기 때문에 웨더퍼의 외주부의 산화다공질 Si층의 체적팽창이 커진다. 이것은 확실히 웨더퍼의 단면으로부터 다공질 Si층에 채기를 넣은 것과 동일한 상황에서 다공질Si층에만 내압이 걸려서, 다공질 Si층에서 분할되도록 힘은 작용한다. 또한 산화는 웨더퍼주변에서 균일하게 진행하기 때문에 웨더퍼의 주위로부터 균등하게 접합웨이퍼를 벗기게 된다. 결과로서 분할되게 된다.

산화라고 하는 균일성이 뛰어난 통상의 Si-IC프로세스의 공정을 이용하고, 다공질Si의 고속산화성, 다공질 Si의 체적 팽창, 및 다공질 Si의 취약성을 복합해서, 다공질Si층에만 내압을 걸 수가 있으며, 이에 의해서 다공질Si층중에서 제어성능이 웨더퍼를 분할할 수 있다.

#### (가열에 의한 분리)

접합웨이퍼가 다층구조인 것과 다공질Si가 구조적으로 취약한 것을 이용하고, 접합기체전체를 가열함으로써 열응력을 발생시켜서 취약한 다공질Si층에서 접합기체를 분리시킨다.

접합기체는 다층구조이며 외압에 의해 다공질Si에서 분리하는 방법에서는, 강도가 약한 계면이나 부분적으로 약한 영역이 있는 경우에는 그곳으로부터 분리되게 된다. 다공질 Si가 구조적으로 취약한 것을 이용하고, 다공질 Si를, 또는 그 근방까지도 가열해서, 그 때의 열응력, 또는 연화등에 의해 다공질Si를 개재해서 접합기체를 분리시킨다.

레이저를 사용함으로써 접합기체전체를 가열하지 않고 어느 특정층에만 에너지를 흡수시켜 가열할 수 있다. 다공질Si층 또는 다공질Si근방의 층에만 흡수하는 파장의 레이저를 사용함으로써 국소가열을 행할 수 있다.

#### (통전에 의한 분리)

전류를 다공질Si층 또는 다공질Si근방에 웨더퍼면내에 통전함으로써 다공질Si층을 급격하게 가열할 수 있고, 그의 열응력에 의해 분리한다. 전류는 SiO<sub>2</sub>를 제거해서 웨더퍼단부에 첨가층을 표출시키고, 웨더퍼단부만 접속하는 +전극과 -전극으로 웨더퍼를 끼우도록 해서 흘릴 수 있다.

#### (다공질층의 제거)

제 1기체와 제 2기체를 접합해서 얻어지는 다층구조체를 다공질 Si층에서 분리한 후, 분리된 기체에 잔류하는 다공질Si층은 이 다공질층Si층의 기계적 강도가 낮은 것과 표면적이 대단히 큰 것을 이용해서 선택적으로 제거할 수 있다. 선택적인 제거방법으로서, 연삭이나 연마, 랩핑을 사용한 기계적인 방법

외에 에칭액을 사용한 화학에칭이나 이온에칭(예를 들면, 반응성이온에칭) 등의 방법을 채용할 수 있다.

다공질Si층을 에칭액을 사용해서 선택에칭하는 경우, 에칭액으로서 49%불산과 30%과산화수소수와의 혼합액에 한하지 않고, 불산, 불산에 알콜을 첨가한 혼합액, 불산에 알콜 및 과산화수소를 첨가한 혼합액, 버퍼드불산, 버퍼드불산에 알콜을 첨가한 혼합액, 버퍼드불산에 과산화수소를 첨가한 혼합액, 버퍼드불산에 알콜 및 과산화수소를 첨가한 혼합액, 또는 불산, 질산, 초산의 혼합액과 같은 것을 채용할 수 있다.

다공질층을 선택적으로 제거한 후, 비다공질층을 제 2기체상에 이동시킴으로써 얻어지는 반도체부재(SOI기판)는 수소함유분위기속에서 열처리할 수 있어, 비다공질층의 평활도를 향상시킬 수 있다.

또한, 특히 제 2기체의 비다공질층에 남은 잔류다공질층이 1 $\mu$ m이하 정도일때, 다공질층은 단순히 열처리(잔류다공질층을 제거하는 방법으로서)에 의해 비다공질상태로 변할 수 있다.

반도체기판의 잔류층가층에 잔류하는 잔류다공질층은 제 2기체상의 잔류다공질층과 같이 처리함으로써 평탄한 비다공질표면을 형성할 수 있다.

또한, 반도체기판 및/또는 제 2기체상의 잔류다공질층은 연마 또는 랩핑에 의해 제거할 수 있다.

(실시예 1)

이하, 본 발명의 실시예 1에 대해서 도 1A 내지 1F를 참조해서 상세히 설명한다. 우선, Si단결정판(11)의 주표면에 P<sup>+</sup>층(12)을 확산공정 또는 에피택셜성장공정에 의해 형성한다(스텝S<sub>1</sub>, 도 1A). 이어서, 주표면을 P<sup>+</sup>층(12)의 두께보다 작은 깊이에 의해 다공질화해서 P<sup>+</sup>다공질Si층(13)을 형성한다(스텝S<sub>2</sub>, 도 1B). 다공질 Si층형성속도는 기판의 P<sup>+</sup>농도에 의존한다.

적어도 비다공질층(14)을 P<sup>+</sup>다공질Si(12)상에 형성해서 완전한 제 1기체를 제조한다. 비다공질층(14)은 단결정Si, 다결정Si, 비정질Si 또는 금속막, 화합물반도체박막, 초전도박막 등으로부터 선택된 재료로 만들어진다. 그것은 MOSFET등의 소자구조로 이루어져도 된다. 바람직하게는, 최표면층에 SiO<sub>2</sub>를 형성하여 두께 쪽이 접합면의 계면준위를 잘성층으로부터 분리할 수 있다고 하는 관점에서 좋다. 스텝S<sub>3</sub>는 최표면에 SiO<sub>2</sub>층(15)을 형성하는 공정이다(도 1C). 그리고, 스텝S<sub>4</sub>에 있어서, 제 1기체의 표면을 제 2기체(16)의 표면과 밀착시킨다(도 1D). 그 후, 양극접합, 가압 또는 필요에 따라서 열처리, 또는 이들의 조합에 의해 두 기체의 접합효과를 강화해도 된다.

단결정Si를 퇴적한 경우에는 단결정Si의 표면에는 열산화 등의 방법으로 산화Si를 형성한 후 접합하는 것이 바람직하다. 또한 제 2기체는 Si기판, Si기판상에 실리콘산화Si막을 형성한 것, 석영 등의 광투과성기판, 사파이어기판 등으로부터 선택할 수 있지만, 이에 한정되는 것은 아니고, 접합되는 면이 충분히 평탄하면 된다. 도 1D는 제 1기체와 제 2기체가 절연층(15)을 개재해서 접합된 것을 표시하고 있지만, 비다공질박막(14)이 Si가 아닌 경우 또는 제 2기체가 Si가 아닌 경우에는 절연층(15)은 없어도 된다.

접합시에는 절연층의 박판을 제 1기체 및 제 2기체사이에 끼워서 3매 겹쳐서접합하는 것도 가능하다.

비다공질박막을 에피택셜성장시킨 단결정실리콘으로 구성하는 경우, 또는 비다공질박막을 그 이외의 것으로 구성하는 경우에 있어서도, 에피택셜성장시의 열처리나 그 이후의 공정에서 열처리를 사용하는 경우, 열에 의해 다공질실리콘층의 내부의 구멍의 재배열이 생겨서 구멍이 막히고, 다공질층을 에칭제거할 때의 에칭특성이 손상될 염려가 있다. 그래서, 예를 들면, 200 $^{\circ}$ C ~ 700 $^{\circ}$ C 정도의 온도에서 미리 열처리를 행하여 구멍의 측벽에 얇은 산화막(다공질층으로서의 단결정성은 유지되고 있다)을 형성해서 재배열을 방지하고, 다공질층의 구조를 안정시키는 것이 가능하다.

또한, 극히 결합이 적은 에피택셜실리콘막을 형성하기 위해서는 다음의 공정을 채용할 수도 있다.

다공질실리콘층은 단결정으로서의 구조를 유지하고 있지만, 다공질실리콘층의 표면에 존재하는 다수의 구멍에 기인해서 에피택셜실리콘막에 결합이 생길 가능성이 있다. 그래서, 에피택셜실리콘막이 접촉하는 다공질실리콘층의 최표면을 단결정실리콘으로 패색하는 방법이 고려된다.

이것은 수소를 함유하는 분위기속에서 다공질실리콘층을 열처리함으로써 달성될 수 있다. 이 수소열처리의 결과, 다공질실리콘층의 표면을 구성하는 실리콘원자의 이동이 발생하고, 다공질실리콘층의 구멍의 최표면이 패색된다. 이 경우의 열처리의 온도는 500 $^{\circ}$ C ~ 1300 $^{\circ}$ C, 바람직하게는 900 ~ 1300 $^{\circ}$ C의 범위이다.

또한, 실리콘원자를 함유하는 원료가스를 미량 성막챔버내에 흘림으로써 매우 느린 속도로 실리콘막을 형성해서, 다공질실리콘층의 구멍의 최표면을 패색시킬 수도 있다.

상기의 구멍의 측벽에 얇은 산화막을 형성한 후에 구멍의 패색 및 에피택셜실리콘막의 형성을 행하는 경우, 구멍을 패색시킬 때에는 다공질 실리콘층의 최표면에는 단결정이 노출되어 있는 것이 바람직하다. 이 단결정의 노출은 구멍의 측벽에 얇은 산화막을 형성한 다공질실리콘층의 최표면을 HF등의 산에 담그어서 최표면에 형성된 얇은 산화막을 제거함으로써, 할할 수 있다.

다음에, 접합된 두 기체는 상기한 분리방법에 의해 다공질실리콘층(13)의 내면 또는 상면 또는 하면을 개재해서 서로 분리되며(스텝S<sub>5</sub>, 도 1E), 분리방법은 상기 방법에 한정되지 않으며, 다른 방법을 사용할 수 있다.

그 후, 잔류다공질실리콘층(13)을 선택적으로 제거한다. 비다공질층이 단결정Si인 경우에는 통상의

Si의 에칭액, 또는 다공질Si의 선택 에칭액인 불산, 또는 불산에 알콜 및 과산화수소수의 적어도 어느 한 쪽을 첨가한 혼합액, 또는 버퍼드불산 또는 버퍼드불산에 알콜 및 과산화수소수의 적어도 어느 한 쪽을 첨가한 혼합액의 적어도 1종류를 사용해서 다공질Si층(13)만을 무전해습식화합에칭해서 제 2기체상에 미리 제 1기체의 다공질상에 형성한 막을 잔존시킨다. 위에서 상세히 설명한 바와 같이, 다공질Si의 팽대한 표면적에 의해 통상의 Si의 에칭액에서도 선택적으로 다공질Si만을 에칭하는 것이 가능하다. 또는, 비다공질박막층(14)을 연마스트퍼로 해서 다공질Si층(13)을 선택연마에 의해 제거한다.

다공질실리콘상에 화합물반도체층이 형성되는 경우에는, 다공질실리콘층(13)만이 화합물반도체보다 Si에 대해 빠른 에칭속도를 표시하는 에칭용액에 의해 화학적으로 에칭되므로, 단결정화합물반도체층(14)의 박막은 제 2기체상에 남게된다. 또는, 단결정화합물반도체층(14)을 연마스트퍼로 해서 다공질실리콘층(13)을 선택연마에 의해 제거한다.

도 15에는 본 발명의 방법에 의해 얻어지는 반도체부재가 표시된다. 제 2기체(16)상에 비다공질박막, 예를 들면 단결정Si박막(14)이 평탄하게 또한 균일하게 박층화되어, 웨이퍼의 전면을 덮어서 대면적을 형성한다. 제 2기체(16)로서 절연성기판을 사용하면, 이렇게 해서 얻어진 반도체기판은 절연분리된 전자소자제작을 위해서 적절하게 사용할 수 있다.

잔류다공질Si층은 Si단결정판(11)으로부터 제거된다. 이 표면형상은 원래의 다공질 Si/기판계면형상이기 때문에 거의 평탄한 면이 된다. 그러나, 다공질Si의 미소구멍에 기인한 표면거칠기는 잔존한다. 이 표면평탄성을 허용할 수 없다면, 이 기판(11)에 대해 표면평탄화처리를 행한 후, 제 1기체를 구성하는 Si단결정판(11) 또는 다음의 제 2기체(16)로서 사용할 수 있다.

#### (실시예 2)

이 실시예는 실시예 1을 부분적으로 변경함으로써 얻을 수 있다. 이것을 도 6A 내지 6B를 참조해서 설명한다.

우선, Si의 도프층(12)을 형성해서 반도체기판(11)의 표면에 에피택셜성장시킨다(스텝S1, 도 6A).

다음에, 이 도프층(12)을 다공질화해서 다공질Si층을 형성한다. 각각 다른 다공도를 가진 적어도 2개의 다공질실리콘박막(33), (34)이, 도프층(12)을 다공질화하기 위한 조건을 변경함으로써 형성된다.

바람직하게는, 다음 스텝에서 형성되는 비다공질층(14)근방에 배치되는 박층(33)은 다른 박층(34)보다 낮은 다공도를 표시한다(스텝S, 도 6B).

필요하다면, 다공질Si층(13)의 구멍의 벽면은 200°C ~ 700°C의 온도에서 산화된다.

또한, 필요하다면, 다공질 Si층(13)의 표면의 산화막은 제거되고 수소함유분위기속에서 500° ~ 1300°C의 온도에서 열처리되었다. 다음에, 단결정반도체층(14)이 호모- 또는 헤테로-에피택셜성장법에 의해 형성되었다.

필요하다면, 비다공질층(14)의 표면에 절연층을 형성한 후(스텝S3, 도 6C), 상기 표면을 제 2기체(16)의 다공질층(14)에 접합한다(스텝S4, 도 6D).

이렇게 해서 얻어진 다층구조체는 상기한 방법중의 어느 하나에 의해 분리된다(스텝S5, 도 6). 본 실시예에서 다공질층은 각각 다른 다공도를 가진 복수의 서브층(33), (34)으로 이루어지기 때문에 두 기체의 분리는 더 용이해지고, 유체제트흐름을 다층구조체의 측면(예지)에 출몰시키는 방법을 사용하는 것이 유리해진다.

#### (실시예 3)

이 실시예는 실시예 1 또는 2를 부분적으로 변경함으로써 얻을 수 있다.

더 상세하게는, 수소, 질소 또는 희가스로부터 선택된 원소의 미온은 단층 또는 복수의 서브층으로 이루어진 다공질층(13)의 상 또는 하계면내로 주입되어 미소버블을 형성할 수 있는 층을 형성한다.

미온주입의 동작은 비다공질층(14)의 형성의 전 또는 후에 행해질 수 있다.

미온주입에 의해 미소버블을 형성할 수 있는 층의 형성후, 버블은 성장하고 다층구조체는 열처리를 받으면 그 자체에 의해 분리된다.

#### (실시예 4)

본 실시예는 제 1기체의 양면에서 실시예 1~3를 참조하여 상기 언급한 처리시스템을 행하고, 각각의 제 1기체의 양면에 1쌍의 제 2기체를 접합하고, 각 다공질층을 따라서, 제 1기체로부터 2개의 제 2기체를 분리하여 동시에 1쌍의 반도체부재를 제조함으로써 실현된다.

다음에 잔류다공질 Si는 제 1기체의 Si단결정판으로부터 제거된다. 표면이 평탄도를 허용할 수 없다면 제 1기체 또는 제 2기체로 되는 Si단결정판으로 재사용되기 전에 이 기판은 평탄화처리를 받게 된다.

2개의 반도체부재는 동일한 재료로 이루어지지 않고 동일한 두께를 가지지 않아도 된다. 제 1기체의 양면에 형성된 비다공질박막은 동일한 재료로 이루어지지 않고 동일한 두께를 가지지 않아도 된다.

#### (예 1)

$5 \times 10^{17} \sim 1 \times 10^{18} / \text{cm}^3$ 의 붕소농도를 가진 P-고농도층은 확산법에 의해 저항무지정 단결정 Si기판의 표면에  $10 \mu\text{m}$ 의 두께로 형성되었다. 확산법을 사용해서 P-고농도층을 형성하는 공정은 아래와 같은 방식으로 행해졌다. 우선, 용매내에 B<sub>2</sub>O<sub>3</sub>를 용해해서 얻은 용액을 스프인-코팅기술에 의해 Si기판의 주표면에 부여하였다. 다음에 이 용액은 140°C에서 기판을 베어킴함으로써 제거되었다. 다음에 얻은 기판을 확산 노내에 설치하고, 24시간동안 1150°C로 노심란의 내부에 유지하면서 소위 드라이브-인 확산처리를 행해

서, P<sup>+</sup>고농도층을 생성하였다. 코팅막을 제거한 후에 미층을 고밀도표면의 쪽으로부터 HF용액내에서 양극화성시켰다.

양극화성은 아래의 조건하에서 행했다.

전류밀도:  $7(\text{mA} \cdot \text{cm}^{-2})$

양극화성액:  $\text{HF}:\text{H}_2\text{O}:\text{C}_2\text{H}_5\text{OH}=1:1:1$

시간: 7(분)

다공질 Si층의 두께:  $8\mu\text{m}$

다음에 기판을 1시간동안  $400^\circ\text{C}$ 로 산소분위기에서 양극화성하였다. 산화의 결과로서, 다공질 Si층의 미소구멍의 내벽은 열산화막으로 덮였다. 다음에 단결정 Si는 아래의 조건하에서 CVD(Chemical Vapor Depositom)법에 의해 다공질 Si층상에  $0.3\mu\text{m}/\text{min}$ 의 속도로 에피택셜성장되었다. 다공질 Si층의 표면은 에피택셜성장의 초기 스테이지에서, 100%수소분위기에서  $1000^\circ\text{C}$ 의 높은 열처리온도에 노출되었기 때문에 표면에 노출된 미소구멍은 채워져서 평탄한 표면을 나타내었다.

소스가스:  $\text{SiH}_4\text{Cl}_2/\text{H}_2$

가스유량:  $0.5/180\text{z}/\text{min}$

가스압력: 80Torr

온도:  $950^\circ\text{C}$

성장속도:  $0.3\mu\text{m}/\text{min}$

다음에  $\text{SiO}_2$ 층을 열산화에 의해 에피택셜 Si층의 표면에 형성하여 완성된 제 1기체를 제조하였다.

다음에  $\text{SiO}_2$ 층의 표면은 다른 Si기판(제 2기체)와 밀접하게 접촉되었고 이 2개의 기체는 1시간동안  $1000^\circ\text{C}$ 로 열처리되었다.

$0.2\text{nm}$ 의 직경을 가진 웨터제트를 접합된 웨이퍼의 모서리를 따라서 경사진 통채상으로 분사하였을 때, 다공질 Si층을 따라서, 2개의 웨이퍼로 분리되었다.

따라서, 제 2기체상에 남겨진 잔류다공질 Si층은 일정하게 교반된 49Vol%불산, 30Vol% 과산화수소와 물의 혼합액을 사용한 선택에칭에 의해 제거되었다. 단결정 Si는 에칭되지 않고 남았고, 다공질 Si는 에칭스톱제로서 단결정 Si층을 사용하는 선택에칭에 의해 완전히 제거되었다.

에칭액의 비다공질 Si단결정을 에칭하는 속도 R1은 매우 느리고, 다공질층의 에칭속도 R2의 관한 비 R1/R2가  $10^3$ 보다 작으므로, 비다공질층을 에칭하고 그 막두께를 (수십 Å) 감소하는 효과는 실제로 무시할 수 있다.

그래서, 단결정 Si층을  $0.2\mu\text{m}$ 의 두께로 산화실리콘막상에 형성하여 완성된 반도체부재를 제조하였다. 형성된 단결정 Si층의 부재의 전체표면에 대해 분산된 100개 지점에서 측정하여  $20\text{nm} \pm 4\text{nm}$ 로 균일한 것을 발견하였다.

또한, 얻은 반도체부재를 1시간동안  $1100^\circ\text{C}$ 로 100%수소내에서 열처리하였다. 표면거칠기를 원자력현미경에 의해 측정하여  $50\mu\text{m}$ 제곱영역내의 표면거칠기의 제곱평균이 약  $0.2\text{nm}$ 가 되었고, 시판의 Si웨이퍼에 상당하였다.

반도체부재의 횡단면을 투과전자현미경으로 관찰하면, 결정결합이 Si층내에 추가로 도입되지 않았고, 우수한 결정성을 유지하는 것을 발견하였다.

에피택셜 Si층상에 산화막이 형성되지 않을 때 마찬가지로의 결과를 얻었다. 또한, 산화막이 제 2기체상에 형성됐을 때도 마찬가지로의 결과를 얻었다.

동시에, 단결정 Si기판상에 남겨진 다공질 Si는 일정하게 교반된 49%불산과 30%과산화수소와 물의 혼합액을 사용한 선택에칭에 의해 제거되었다. 단결정 Si는 에칭되지 않고 남았고, 다공질 Si는 에칭스톱제로서, 단결정 Si를 사용한 선택에칭에 의해서 완전히 제거되었다. 그래서 이것을 다른 제 1기체의 단결정 Si기판으로서 P<sup>+</sup>고농도층을 형성하는 확산공정이나 다른 제 2부재로서 접촉공정에서 재사용될 수 있었다.

미소구멍에 기인하는 단결정 Si기판의 표면상의 미소거칠은 재사용하기 전에, 기판을 1시간동안  $1100^\circ\text{C}$ 로 수소에서 열처리함으로써 제거되었다. 그러나, 이러한 평탄화공정은 에피택셜성장공정전에 미리 수소내에서 전배어링공정을 행하는 동안에 표면에 노출된 다공질 Si층이 미소구멍이 싹틔릴 때 표면평탄화처리를 행하였기 때문에 이 기판이 다른 제 1기체의 Si기판으로 재사용되면 불필요하다.

수소내의 상기 열처리는 표면 접촉연마기술을 사용하는 미소구멍에 기인한 미세거칠을 평탄화하는 작업에 의해서 대체될 수 있다.

제 1기체의 Si기판의 표면거칠기의 제곱평균은  $50\mu\text{m}$ 제곱영역의 미세영역내에서  $10\text{nm}$ 미만 이었고, 그 표면은 다공질층을 제거한 후에 넓은 영역이나 웨이퍼의 전표면에 걸쳐서 형광등하에서 시각적으로 균면평탄화되었다. 비교하기 위하여 다공질층을  $5 \times 10^{18}\text{cm}^{-3}$ 의 불순물농도로 P<sup>+</sup>웨이퍼상에 형성한 것과 추가의 첨가층이 형성되지 않는 것을 제외하고 본 예의 스텝을 따라서 마찬가지로의 Si기판을 제 1기체로 준비하였다. 다음에, 제 1기체의 Si기판의 표면거칠기의 제곱평균은  $50\mu\text{m}$  제곱영역의 미세영역에서  $10\text{nm}$ 미

만 하였으나 요철이 형광하에서 시각적으로 관찰되었다. 도 7은 관찰한 2개 시료의 표면을 표시한다.

본 예의 제 1기체의 Si기판과 비교의 목적으로 준비한 제 1기체의 Si기판 모두 다공질층을 제거한 후에 상기의 수소어닐처리를 행하면 본 예의 제 1기체의 Si기판의 표면거칠기의 제곱평균은  $50\mu$  제곱영역의 미세영역에서  $0.2nm$ 미만이고, 그 표면은 넓은 영역이나 웨이퍼의 전표면에 걸쳐서 형광등하에서 시각적으로 경면평탄화되었으나, 비교시료의 제 1기체의 Si기판의 표면거칠기의 제곱평균은  $50\mu$  제곱영역의 미세영역에서  $0.2nm$ 미만 이었고, 넓은 영역이나 웨이퍼의 전표면에 걸쳐서 요철이 형광하에서 시각적으로 관찰되었다.

(예 2)

아래의 양극화성조건을 사용한 것을 제외하고 시료가 예 1과 같이 준비되었다.

$5 \times 10^{11} \sim 1 \times 10^{12} / cm^2$ 의 붕소농도를 가진 P고농도층은 확산법에 의해 저항무지정 단결정 Si층의 표면에  $10\mu m$ 의 두께로 형성되었고, 다음에 아래의 조건하에서 양극화성처리를 행했다.

제 1스테이지

전류밀도 :  $7 (mA \cdot cm^{-2})$

양극화성액 :  $HF:H_2O:C_2H_5OH=1:1:1$

시간 : 5(분)

제 1다공질 Si층의 두께 :  $6\mu m$

제 2스테이지

전류밀도 :  $30 (mA \cdot cm^{-2})$

양극화성액 :  $HF:H_2O:C_2H_5OH=1:1:1$

시간 : 100(초)

제 1다공질 Si층의 두께 :  $3\mu m$

다른 전류밀도를 사용한 결과로서 제 1다공질 Si층의 다공도는 제 2다공질 Si층 보다 낮았다.

다음에, 이 기판을 1시간동안  $400^\circ C$ 로 산소분위기에서 산화하여 열산화막으로 다공질 Si층의 미소구멍의 내벽을 덮었다. 따라서, 단결정 Si는 상기 언급한 예 1의 조건하에서 CVD법에 의해 다공질 Si층상에  $0.3\mu m/min$ 의 속도로 에피택셜성장되었다. 다음에 Si<sub>3</sub>N<sub>4</sub>층을 열산화에 의해 에피택셜 Si층의 표면에  $200nm$ 의 두께로 형성하여 완성된 제 1기체를 제조하였다.

다음에 Si<sub>3</sub>N<sub>4</sub>층의 표면은 다른 Si기판(제 2기체)와 밀접하게 접촉되었고 이 2개의 기체는 1시간동안  $1000^\circ C$ 로 열처리되었다.

$0.2mm$ 의 직경을 가진 워터제트를 집합된 웨이퍼의 모서리를 따라서 경사진 틈새상으로 분사하였을 때, 다공질 Si층을 따라서, 2개의 웨이퍼로 분리되었다.

따라서, 제 2기체상에 남겨진 잔류다공질 Si층은 일정하게 교반된 49%불산, 30% 과산화수소와 물의 혼합액을 사용한 선택에칭에 의해 제거되었다. 단결정 Si는 에칭되지 않고 남았고, 다공질 Si는 에칭스톱제로서 단결정 Si층을 사용하는 선택에칭에 의해 완전히 제거되었다.

에칭액의 비다공질 Si단결정을 에칭하는 속도 R1은 매우 느리고, 다공질층의 에칭속도 R2의 관한 비가  $10^{-5}$ 보다 작으므로, 비다공질층을 에칭하고 그 막두께를 (수십 Å) 감소하는 효과는 실제로 무시할 수 있다.

그래서, 단결정 Si층을  $0.2\mu m$ 의 두께로 산화실리콘막상에 형성하여 완성된 반도체부재를 제조하였다. 형성된 단결정 Si층의 부재의 전체표면에 대해 분산된 100개 지점에서 측정하여  $201nm \pm 4nm$ 로 균일한 것을 발견하였다.

또한, 얻은 반도체부재를 1시간동안  $1100^\circ C$ 로 100%수소내에서 열처리하였다. 표면거칠기를 원자력현미경에 의해 측정하여  $50\mu m$ 제곱영역내의 표면거칠기의 제곱평균이 약  $0.2nm$ 가 되었고, 시판의 Si웨이퍼에 상당하였다.

반도체부재의 횡단면을 투과전자현미경으로 관찰하면, 결정결함이 Si층내에 추가로 도입되지 않았고, 우수한 결정성을 유지하는 것을 발견하였다.

에피택셜 Si층상에 산화막이 형성되지 않을 때 마찬가지로의 결과를 얻었다. 또한, 산화막이 제 2기체상에 형성했을 때도 마찬가지로의 결과를 얻었다.

동시에, 제 1기체상에 남겨진 다공질 Si는 일정하게 교반된 49%불산과 30%과산화수소와 물의 혼합액을 사용한 선택에칭에 의해 제거되었다. 단결정 Si는 에칭되지 않고 남았고, 다공질 Si는 에칭스톱제로서, 단결정 Si를 사용한 선택에칭에 의해서 완전히 제거되었다. 그래서 이것을 다른 제 1기체의 단결정 Si기판으로서 P고농도층을 형성하는 확산공정이나 다른 제 2부재로서 접촉공정에서 재사용될 수 있었다.

미소구멍에 기인하는 단결정 Si기판의 표면상의 미소거칠은 재사용하기 전에, 기판을 1시간동안  $1100^\circ C$ 로 수소에서 열처리함으로써 제거되었다. 그러나, 이러한 평탄화공정은 에피택셜성장공정전에 미리 수

소내에서 전베어링공정을 행하는 동안에 표면에 노출된 다공질 Si층이 미소구멍이 실링될 때 표면평탄화 처리를 행하였기 때문에 이 기판이 다른 제 1기체의 Si기판으로 재사용되면 불필요하다.

수소내의 상가 열처리는 표면 접촉면마기술을 사용하는 미소구멍에 기인한 미세거칠을 평탄화하는 작업에 의해서 대처할 수 있다.

제 1기체의 Si기판과 수소로 처리된 Si기판은 모두 다공질 Si를 제거한 후에 미세영역내와 넓은 영역에 걸쳐서 표면거칠기에 대해 관찰했을 때 예 1과 마찬가지로의 결과를 얻었다.

(예 3)

예 1에서 재생된 단결정 Si기판을 제 1기체를 준비하는 단결정 Si기판으로 사용하였고, 반도체부재는 예 1과 마찬가지로 제조하였다.

구체적으로, 예 1에서 제 2기체로부터 제 1기체를 분리한 후에, 제 1기체상의 잔류다공질 Si는 선택예칭에 의해 제거되어 재생기판을 얻었다. 다음에 재생된 단결정 Si기판을 사용하여 예 1과 마찬가지로의 반도체부재를 준비하였다.

재생기판을 사용한 결과로써, 얻은 반도체부재는 다공질 Si를 에칭한 후에 새로운 기판을 사용하여 얻은 반도체부재와 비교해서 막두께의 균일성을 나타내었고 또한, 50 $\mu$ m 제공영역내에서 표면거칠기의 제곱평균은 1시간동안 1100 $^{\circ}$ C로 수소분위기에서 열처리를 행한 후의 예 1의 반도체부재에 상당했다. 반도체부재의 횡단면을 투과전자현미경에 의해 관찰했을 때 결정결함이 Si층내에 추가로 도입되지 않았고, 우수한 결정성을 유지하는 것을 발견하였다.

제 1기체의 Si기판에 수소에 의해 처리된 Si기판은 모두 다공질 Si를 제거한 후에 미세영역내와 넓은 영역에 걸쳐서 표면거칠기에 대해 관찰했을 때 예 1과 마찬가지로의 결과를 얻는다.

(예 4)

아래의 양극화조건을 사용하는 것을 제외하고 시료를 예 1과 같이 준비하였다.  $5 \times 10^{17} \sim 1 \times 10^{20} / \text{cm}^3$ 의 붕소농도를 가진 P $^+$ 고농도층을 확산법에 의해 저항무지정단결정 Si기판의 표면에 16 $\mu$ m의 두께로 형성하였다. 확산법을 사용하여 P $^+$ 고농도층을 형성하는 공정은 아래와 같은 방식으로 행해졌다. 우선, Si기판을 노심판내에 설치하였고, N $_2$ 가스를 포말을 위한 BBr $_3$ 를 함유한 액체확산원내로 도입시켰다. 다음에 발생된 가스를 (N $_2$ +O $_2$ )의 반송가스와 함께 노심판내로 도입시켰다. AB $_3$ O $_3$ 층은 64시간동안 1050 $^{\circ}$ C로 노심판내의 온도를 유지함으로써 형성되었다. 그후에, 이 기판을 24시간동안 1150 $^{\circ}$ C로 노심판내부에 유지하면서 소위 드라이브-인 확산처리를 행해서 P $^+$ 고농도층을 재조하였다.

제 1스테이지

전류밀도 : 7(mA  $\cdot$  cm $^{-2}$ )

양극화성액 : HF:H $_2$ O:C $_2$ H $_5$ OH=1:1:1

시간 : 11(분)

제 1다공질 Si층의 두께 : 12 $\mu$ m

제 2스테이지

전류밀도 : 20(mA  $\cdot$  cm $^{-2}$ )

양극화성액 : HF:H $_2$ O:C $_2$ H $_5$ OH=1:1:1

시간 : 3(분)

제 1다공질 Si층의 두께 : 3 $\mu$ m

다른 전류밀도를 사용한 결과로서 제 1다공질 Si층의 다공도는 제 2다공질 Si층 보다 낮았다.

반도체부재는 예 1에서 언급한 바와 같이 아래의 공정에 의해 생성되었다. 다음에 접합된 웨이퍼는 제 2다공질 Si층을 따라서 2개의 웨이퍼로 분리되었다.

본 예에 있어서, 형성된 단결정 Si층의 막두께는 201nm $\pm$  4nm의 균일성을 나타내었다. 얻은 반도체부재의 50 $\mu$ m 제공영역에서 표면거칠기의 제곱평균은 1시간동안 1100 $^{\circ}$ C로 수소분위기에서 열처리를 행한 후에 약 0.2nm이었다. 반도체부재의 횡단면을 투과전자현미경으로 관찰했을 때 예 1과 마찬가지로의 결과를 얻었다.

(예 5)

아래의 조건을 사용하는 것을 제외하고 예 1과 같이 반도체부재를 제조하였다.

1) 에피택셜 Si층(두께) : 2.05 $\mu$ m

2) 에피택셜 Si층상의 열산화막 : 0.1 $\mu$ m

3) 제 2기체 : 표면에 1.9 $\mu$ m의 SiO $_2$ 층을 가진 Si기판

4) 접합 : 2개 부재의 표면을(접합강도를 증가시키기 위해)질소플라즈마에 노출시키고, 함께 접촉해서 10시간동안 400 $^{\circ}$ C에서 어닐을 행했다.

본 예에 있어서, 단결정 Si층을 산화실리콘막상에 약 2 $\mu$ m의 두께로 형성해서 완성된 반도체부재를 제조하였다.

형성된 단결정 Si층의 막두께는 2.00nm± 0.04 $\mu$ m의 균일성을 나타냈다. 얻은 반도체부재의 50 $\mu$ m제곱영역내에서 표면거칠기의 제곱평균은 1시간동안 1100 $^{\circ}$ C로 수소분위기에서 열처리를 행한 후에 약 0.2nm이 었다. 반도체부재의 횡단면을 투과전자현미경으로 관찰했을 때 추가의 결정결함이 Si층내로 도입되지 않았고 우수한 결정성을 유지하는 것을 발견하였다.

제 1기체의 Si기판과 수소에 의해 처리된 Si기판은 모두 다공질 Si를 제거한 후에 미세영역내와 넓은 영역에 걸쳐서 표면거칠기에 대해 관찰했을 때 예 1과 마찬가지로의 결과를 얻었다.

(예 6)

아래의 조건을 사용하는 것을 제외하고 예 1과 같이 반도체부재를 제조하였다.

1) 제 2기체 : 석영기판

2) 접합 : 2개의 기판의 표면을 질소플라즈마 노출해서 함께 접촉시켜서 24시간동안 200 $^{\circ}$ C에서 어닐을 행했다.

3) 수소내에서 열처리 : 접합된 부재를 2시간 동안 900 $^{\circ}$ C로 수소내에서 열처리했다. 표면거칠기를 원 자력 현미경으로 관찰해서 얻은 반도체부재의 50 $\mu$ m제곱영역에서 표면거칠기의 제곱평균은 약 0.2nm이었고, 시판의 Si웨이퍼에 상당했다.

형성된 단결정 Si층의 막두께는 예 1의 대상과 동일한 2.00nm± 0.04nm의 균일성을 나타냈다. 반도체부 재의 횡단면을 투과전자현미경으로 관찰했을 때 추가의 결정결함이 Si층내로 도입되지 않았고 우수한 결 정성을 유지하는 것을 발견하였다.

제 1기체의 Si기판과 수소에 의해 처리된 Si기판은 모두 다공질 Si를 제거한 후에 미세영역내와 넓은 영 역에 걸쳐서 표면거칠기에 대해 관찰했을 때 예 1과 마찬가지로의 결과를 얻었다.

(예 7)

$5 \times 10^{16} \sim 1 \times 10^{18} / \text{cm}^3$ 의 붕소농도를 가진 P $^+$ 고농도층은 확산법에 의해 저항무지정 단결정 Si기판의 표면상 에 10 $\mu$ m의 두께로 형성되었다. 확산법을 사용해서 P $^+$ 고농도를 형성하는 공정은 아래와 같은 방식으로 행해졌다. 우선, Si기판을 노심관내에 설치하였고, N $_2$ 가스를 포말을 위한 BBR을 함유한 액체확산원내 로 도입시켰다. AB $_3$ Q $_3$ 층은 64시간동안 1050 $^{\circ}$ C로 노심관내의 온도를 유지함으로써 형성되었다. 그후 에, 이 기판을 24시간동안 1150 $^{\circ}$ C로 노심관내부에 유지하면서 소위 드라이브-인 확산처리를 행하게 되어 P $^+$ 고농도층을 제조하였다. 코팅막을 제거한 후에 이층을 고밀도표면의 쪽으로부터 HF용액내에서 양극화 성하였다.

전류밀도: 7(mA $\cdot$ cm $^{-2}$ )

양극화성액: HF:H $_2$ O:C $_6$ H $_6$ =1:1:1

시간: 7(분)

다공질 Si층의 두께: 8 $\mu$ m

다음에 기판을 1시간동안 400 $^{\circ}$ C로 산소분위기에서 산화시켰다. 산화의 결과로서, 다공질 Si층의 미세 구멍의 내벽은 열산화막으로 덮였다. 다음에 단결정 GaAs는 아래의 조건하에서 MOCVD(metal organic chemical vapor deposition)법에 의해 다공질 Si층상에 1 $\mu$ m까지 에피택셜성장되었다.

소스가스: TMG/AsH $_3$ /H $_2$

가스압력: 80Torr

온도: 700 $^{\circ}$ C

그래서 완성된 제 1기체를 준비하였다. GaAs층의 표면은 다른 Si기판(제 2부재)의 표면과 밀접하게 접 속되었다.

0.2mm의 직경을 가진 워터젯을 접합한 웨이퍼의 모서리를 따라서 경사진 틀세상으로 분사했을 때 다공 질 Si층을 따라서 2개의 웨이퍼로 분리되었다.

따라서, 제 2기체에 남겨진 잔류다공질 Si층은 110 $^{\circ}$ C에서 에틸렌디아민+피로카테콜+물(비율은 17ml:3g:8ml)의 혼합액을 사용한 에칭에 의해서 제거되었다. 단결정 GaAs는 에칭되지 않고 남겨지고, 에칭스톱제로서 단결정 GaAs를 사용한 선택에칭에 의해 다공질 Si는 완전히 제거되었다.

에칭액의 비다공질 GaAs단결정의 에칭속도는 매우 느려서 비다공질층을 에칭하고 그 막두께(수십 Å)를 감소시키는 효과는 실제로 무시할 수 있다.

그래서, 단결정 GaAs층을 실리콘기판상에 1 $\mu$ m의 두께로 형성하여 완성된 반도체부재를 제조하였다. 형 성된 단결정 GaAs층의 막두께를 부재의 전표면에 걸쳐서 분산된 100개 지점에서 관찰해서 1 $\mu$ m± 29.8nm로 균일한 것을 발견하였다.

반도체부재의 횡단면을 투과전자현미경으로 관찰했을 때 추가의 결정결함이 GaAs층내로 도입되지 않았고 우수한 결정성을 유지하는 것을 발견하였다.

산화막을 가진 Si기판을 유지기판으로 사용했을 때 마찬가지로 GaAs층의 절연막상에 형성되었다.

동시에, 제 1기체 남겨진 다공질 Si는 일정하게 교반된 49%불산과 30%과산화수소와 물의 혼합액을 사용한 선택에칭에 의해 제거되었다. 단결정 Si는 에칭되지 않고 남았고, 다공질 Si는 에칭스톱제로서, 단결정 Si를 사용한 선택에칭에 의해서 완전히 제거되었다. 그래서 이것을 다른 제 1기체의 단결정 Si기판으로서 P'고농도층에서 행하는 확산공정이나 다른 제 2부재로서 접촉공정에서 재사용될 수 있었다.

미소구멍에 기인하는 단결정 Si기판의 표면상의 미세거침은 재사용하기 전에, 기판을 1시간동안 1100°C로 수소에서 열처리함으로써 제거되었다. 그러나, 이러한 평탄화공정은 에피택셜성장공정전에 미리 수소소에서 전배어링공정을 행하는 동안에 표면에 노출된 다공질 Si층이 미소구멍이 실링될 때 표면평탄화처리를 행하였기 때문에 이 기판이 다른 제 1기체의 Si기판으로 재사용되면 불필요하다.

수소에서의 상기 열처리는 표면 접촉연마기술을 사용하는 미소구멍에 기인한 미세거침을 평탄화하는 작업에 의해서 대처될 수 있다.

제 1기체의 Si기판과 수소에 의해 처리된 Si기판은 모두 다공질 Si를 제거한 후에 미세영역내와 넓은 영역에 걸쳐서 표면거칠기에 대해 관찰했을 때 예 1과 마찬가지로 결과를 얻었다.

(예 8)

$5 \times 10^{11} \sim 1 \times 10^{12} / \text{cm}^2$ 의 붕소농도를 가진 P'고농도층은 확산법에 의해 저항무지정 단결정 Si기판의 표면에  $10 \mu\text{m}$ 의 두께로 형성되었다. 확산법을 사용해서 P'고농도층을 형성하는 공정은 아래와 같은 방식으로 행해졌다. 우선, Si기판을 노심관내에 설치하였고,  $\text{N}_2$ 가스를 포말을 위한  $\text{BB}_{15}$ 를 함유한 액체확산원내로 도입시켰다. 다음에 발생된 가스를 ( $\text{N}_2 + \text{O}_2$ )의 반응가스와 함께 노심관내로 도입시켰다.  $\text{AB}_{15}$ 층은 64시간동안 1050°C로 노심관내의 온도를 유지함으로써 형성되었다. 그후에, 이 기판을 24시간동안 1150°C로 노심관내부에 유지하면서 소위 드라이브-인 확산처리를 행하게 되어 P'고농도층을 제조하였다. 코팅막을 제거한 후에 P'고농도층을 동시에 뒷면에 형성하였다. 이 기판을 고밀도전면의 쪽으로부터 HF용액내에서 양극화성하였다.

전류밀도:  $7 (\text{mA} \cdot \text{cm}^{-2})$

양극화성액:  $\text{HF}:\text{H}_2\text{O}:\text{C}_2\text{H}_5\text{OH}=1:1:1$

시간: 7(분)

다공질 Si층의 두께:  $8 \mu\text{m}$

다음에 기판을 1시간동안 400°C로 산소분위기에서 산화시켰다. 산화의 결과로서, 다공질 Si층의 미소구멍의 내벽은 열산화막으로 덮였다. 다음에 단결정 InP는 MOCVD(metal organic chemical vapor deposition)법에 의해 다공질 Si층상에  $1 \mu\text{m}$ 까지 에피택셜성장되었다.

InP층의 표면은 다른 석영기판(제 2부재)의 표면과 밀접하게 접촉되었고, 10시간동안 200°C에서 어닐되었다.

0.2mm의 직경을 가진 웨터제트를 접합한 웨이퍼의 모서리를 따라서 경사진 통세상으로 분사했을 때 다공질 Si층을 따라서 2개의 웨이퍼로 분리되었다.

따라서, 제 2기체에 남겨진 잔류다공질 Si층은 일정하게 석인 49%불산과 30%과산화수소와 물의 혼합액을 사용한 에칭에 의해서 제거되었다. 단결정 InP는 에칭되지 않고 남겨지고, 에칭스톱제로서 단결정 InP를 사용한 선택에칭에 의해 다공질 Si는 완전히 제거되었다.

에칭액의 비다공질 InP단결정의 에칭속도는 매우 느려서 비다공질층을 에칭하고 그 막두께(수십 Å)를 감소시키는 효과는 실제로 무시할 수 있다.

그래서, 단결정 InP층을 석영기판상에  $1 \mu\text{m}$ 의 두께로 형성하여 완성된 반도체부재를 제조하였다. 형성된 단결정 InP층의 막두께를 부재의 전표면에 걸쳐서 분산된 100개 지점에서 관찰해서  $1 \mu\text{m} \pm 29.8 \text{nm}$ 로 균일한 것을 발견하였다.

반도체부재의 횡단면을 투과전자현미경으로 관찰했을 때 추가의 결정결함이 InP층내로 도입되지 않았고 우수한 결정성을 유지하는 것을 발견하였다.

동시에, 제 1기체상에 남겨진 다공질 Si는 일정하게 교반된 49%불산과 30%과산화수소와 물의 혼합액을 사용한 선택에칭에 의해 제거되었다. 단결정 Si는 에칭되지 않고 남았고, 다공질 Si는 에칭스톱제로서, 단결정 Si를 사용한 선택에칭에 의해서 완전히 제거되었다. 그래서 이것을 다른 제 1기체의 단결정 Si기판으로서 P'고농도층에서 행하는 확산공정에서 재사용될 수 있었다.

미소구멍에 기인하는 단결정 Si기판의 표면상의 미세거침은 재사용하기 전에, 기판을 1시간동안 1100°C로 수소에서 열처리함으로써 제거되었다. 그러나, 이러한 평탄화공정은 에피택셜성장공정전에 미리 수소소에서 전배어링공정을 행하는 동안에 표면에 노출된 다공질 Si층이 미소구멍이 실링될 때 표면평탄화처리를 행하였기 때문에 이 기판이 다른 제 1기체의 Si기판으로 재사용되면 불필요하다.

수소에서의 상기 열처리는 표면 접촉연마기술을 사용하는 미소구멍에 기인한 미세거침을 평탄화하는 작업에 의해서 대처될 수 있다.

제 1기체의 Si기판과 수소에 의해 처리된 Si기판은 모두 다공질 Si를 제거한 후에 미세영역내와 넓은 영역에 걸쳐서 표면거칠기에 대해 관찰했을 때 예 1과 마찬가지로 결과를 얻었다.



(예 9)

본 예에 있어서, 단결정 Si기판의 양면은 예 1의 단결정 Si기판의 한면에서 행한 것과 마찬가지로 공정으로 행해서 제 1기체를 준비했고, 1쌍의 제 2기체는 제 1기체의 각면에 접합되었고, 다음에 각 다공질층을 따라서 분리되어 동시에 1쌍의 반도체부재를 제조하였다.

얻은 반도체부재의 각각은 다공질 Si를 에칭한 후에 예 1에서 얻은 반도체부재와 비교하여 막두께의 균일도를 나타냈고, 또, 50 $\mu$ m제곱영역에서 표면거칠기의 제곱평균은 1시간동안 1100 $^{\circ}$ C로 수소분위기에서, 열처리 한 후에 예 1의 반도체부재에 상당했다. 반도체부재의 횡단면을 투과전자현미경으로 관찰했을 때 추가의 결정결함이 Si층대로 도입되지 않았고 우수한 결정성을 유지한 것을 발견하였다.

제 1기체의 Si기판과 수소에 의해 처리된 Si기판은 모두 다공질 Si를 제거한 후에 미세영역내와 넓은 영역에 걸쳐서 표면거칠기에 대해 관찰했을 때 예 1과 마찬가지로의 결과를 얻었다.

(예 10)

$5 \times 10^{18}/\text{cm}^2$ 의 붕소농도를 가진 P $^+$ 고농도에포택설 Si층을 아래의 조건하에서 저항 무지정단결정 Si기판의 표면상에 10 $\mu$ m의 두께로 형성되었다.

가스 :  $\text{SiH}_4\text{Cl}_2/\text{B}_2\text{H}_6/\text{H}_2$

온도 : 1,150 $^{\circ}$ C

압력 : 760Torr

성장속도 : 1 $\mu$ m/min

다음에, 이 기판을 고밀도전면의 쪽으로부터 HF용액내에서 양극화성시켰다.

전류밀도 : 7( $\text{mA} \cdot \text{cm}^{-2}$ )

양극화성액 :  $\text{HF}:\text{H}_2\text{O}:\text{C}_6\text{H}_8\text{OH}=1:1:1$

시간 : 7(분)

다공질 Si층의 두께 : 8 $\mu$ m

다음에 기판을 1시간동안 400 $^{\circ}$ C로 산소분위기에서 이 기판을 산화시켰다. 산화결과로서, 다공질 Si층의 미세구멍의 내벽은 열산화막에 의해 덮였다. 다음에, 단결정 Si는 아래의 조건하에서 CVD법에 의해 다공질 Si층상에 0.3 $\mu$ m/min의 속도로 에피택셜성장되었다. 에피택셜성장처리 전에 다공질 Si층의 표면은 1080 $^{\circ}$ C로 100% $\text{H}_2$ 에서 열처리되어, 표면상의 미소구멍을 채워서 평탄한 표면을 생성하였다.

소스가스 :  $\text{SiH}_4\text{Cl}_2/\text{H}_2$

가스유량 : 0.5/180 s /min

가압압력 : 80Torr

성장속도 : 0.3 $\mu$ m/min

다음에, Si $_2$ 층을 열산화에 의해 에피택셜성장한 Si층의 표면상에 형성되어 완성된 제 1기체를 제조하였다. 다음에 Si $_2$ 층은 다른 Si기판(제 2기체)의 표면과 밀접하게 접촉되었다. 2개 기판은 1시간동안 1000 $^{\circ}$ C로 열처리되었다.

0.2mm직경을 가진 웨더체트를 접합된 웨이퍼의 모서리를 따라서 경사진 틀새에 분사했을 때 다공질 Si층을 따라서 2개의 웨이퍼로 분리되었다.

다음에, 제 2부재상에 남겨진 잔류다공질 Si층은 49%불산, 30%과산화수소와 물의 혼합액을 교반해서 사용한 선택에칭에 의해 제거되었다. 단결정 Si는 에칭되지 않고 남았고, 다공질 Si는 에칭스톱체로서 단결정 Si를 사용한 선택에칭에 의해 완전히 제거되었다.

에칭액의 비다공질 Si단결정 에칭속도(R1)는 매우 느리고, 다공질층의 에칭속도 R2에 관한 비가  $10^3$ 보다 작으므로 비다공질층을 에칭하고 막두께를 (수십 Å)감소시키는 효과는 실제로 무시할 수 있다.

그래서 0.2 $\mu$ m의 두께로 실리콘산화막상에 단결정 Si층을 형성해서 완성된 반도체부재를 제조하였다. 형성된 단결정 Si층의 막두께는 부재의 전체표면에 걸쳐서 분산된 100개 지점에서 관찰해서, 201nm $\pm$  4nm로 균일한 것을 발견하였다.

또한, 얻은 반도체부재는 1시간동안 1100 $^{\circ}$ C로 수소내에서 열처리되었다. 표면거칠기는 원자력현미경으로 측정해서, 50 $\mu$ m제곱영역에서 표면거칠기의 제곱평균은 약 0.2nm이었고, 시판의 Si웨이퍼에 상당하였다.

반도체부재의 횡단면을 투과전자현미경으로 관찰했을 때 추가의 결정결함이 Si층대로 도입되지 않았고 우수한 결정성을 유지하는 것을 발견하였다.

에피택셜 Si층상에 산화막이 형성되지 않았을 때 마찬가지로의 결과를 얻었다. 또, 제 2기체상에 산화막이 형성됐을 때, 마찬가지로의 결과를 얻었다.

동시에, 제 1기체상에 남겨진 다공질 Si는 일정하게 교반된 49%불산, 30% 과산화수소, 물의 혼합액을 사용한 선택에칭에 의해 제거되었다. 단결정 Si는 에칭되지 않고 남았고, 다공질 Si는 에칭스톱체로서

단결정 Si를 사소한 선택에칭에 의해서 완전한 제거되었다. 그래서, 그것을 다른 제 1기체의 단결정 Si기판으로서 P고농도층에 형성하는 에피택셜성장 공정이나 다른 제 2기체로서 접합공정에서 재사용될 수 있다.

미소구멍에 기인한 단결정 Si기판의 표면상의 미세거침은 재사용하기 전에, 1시간동안 1100°C로 수소내에서 기판을 열처리함으로써 제거될 수 있었다. 그러나 이러한 평탄화처리는 표면에 노출다공질 Si층의 미소구멍이 에피택셜성장공정전에 미리 수소내에서 행해진 전배어킹작업동안 실링되었을 때 표면평탄화처리를 행했기 때문에 이 기판을 다른 제 1부재의 Si기판으로 재사용하면 불필요했다.

수소내의 상기 열처리는 표면 접촉연마기술을 사용한 미소구멍에 기인한 미세거침을 평탄화하는 작업에 의해서 대체될 수 있었다.

제 1부재의 Si기판과 수소에 의해 처리된 Si기판은 다공질 Si를 제거한 후에 미세영역내와 넓은 영역에 걸쳐서 표면거칠기에 대해 관찰했을 때 예 1과 마찬가지로의 결과를 얻었다.

(예 11)

SiO<sub>2</sub>층을 비저항 단결정 Si기판의 표면에 형성하였다.

이 SiO<sub>2</sub>층은 표면거침의 발생을 방지하는 연속이온주입공정에서 표면방지막으로서 사용되었다. 다음에 B<sup>+</sup>이온이 아래의 조건하에서 행해진 이온 주입공정에 의해서 주입되었다.

에너지 : 200KeV

조사량 :  $1 \times 10^{16} \text{ cm}^{-2}$

다음에, 이 기판은 1시간동안 1,150°C에서 열처리되어서 이온주입과 확산용소이온에 의해 발생된 충격을 완화했다. 결국, 첨가층이  $5 \times 10^{18} / \text{cm}^2$ 의 붕소농도를 가진 기판의 표면에 10μm의 두께로 형성되었다. 표면 SiO<sub>2</sub>층을 제거한 후, 이 기판은 아래의 조건하에서 고밀도조연의 쪽으로부터 HF용액내에서 양극화성되었다.

전류밀도 :  $7(\text{mA} \cdot \text{cm}^{-2})$

양극화성액 : HF:H<sub>2</sub>O:C<sub>6</sub>H<sub>5</sub>OH=1:1:1

시간: 7(분)

제 1다공질 Si층의 두께: 8μm

다음에 1시간동안 400°C로 산소분위기에서 이 기판을 산화시켰다. 산화결과로서, 다공질 Si층의 미소구멍의 내벽은 열산화막으로 덮였다. 다음에 단결정 Si는 아래의 조건하에서 CVD법에 의해 다공질 Si층상에 0.3μm/min의 속도로 에피택셜성장되었다. 다공질 Si층의 표면은 H<sub>2</sub>에 노출되어, 표면상의 미소구멍을 채워서 평탄한 표면을 생성하였다.

소스가스 : SiH<sub>4</sub>Cl<sub>2</sub>/H<sub>2</sub>

가스유량 : 0.5/180s /min

가스압력 : 80Torr

성장속도 : 0.3μm/min

다음에 SiO<sub>2</sub>층을 열산화에 의해 에피택셜 Si층의 표면에 형성하여 완성된 제 1기체를 제조하였다.

다음에 SiO<sub>2</sub>층은 다른 Si기판(제 2기체)와 밀접하게 접촉되었고, 2개의 기체는 1시간동안 1000°C로 열처리되었다.

0.2mm의 직경을 가진 웨터재트를 접합된 웨이퍼의 모서리를 따라서 경사진 틀새상으로 분사하였을 때, 다공질 Si층을 따라서, 2개의 웨이퍼로 분리되었다.

다음에, 제 2기체상에 남겨진 잔류다공질 Si층은 49%불산, 30%과산화수소와 물의 혼합액을 교반해서 사용한 선택에칭에 의해 제거되었다. 단결정 Si는 에칭되지 않고 남았다. 다공질 Si는 에칭스톱제로서 단결정 Si를 사용한 선택에칭에 의해 완전히 제거되었다.

에칭액의 비다공질 Si단결정 에칭속도(R1)는 매우 느리고, 다공질층의 에칭속도 R2의 관한 비가 10<sup>-3</sup>보다 작으므로, 비다공질층을 에칭하고 그 막두께를 (수십 Å) 감소하는 효과는 실제로 무시할 수 있다.

그래서 0.2μm의 두께로 산화실리콘막상에 단결정 Si층을 형성해서 완성된 반도체부재를 제조하였다. 형성된 단결정 Si층의 부재의 전체표면에 대해 분산된 100개 지정에서 측정하여 20nm± 4nm로 균일한 것을 발견하였다.

또한, 얇은 반도체부재는 1시간동안 1100°C로 100%수소내에서 열처리되었다. 표면거칠기는 원자력현미경에 의해 측정하여 50μm제곱영역내의 표면거칠기의 제곱평균이 약 0.2nm가 되었고, 시판의 Si웨이퍼에 상당하였다.

반도체부재의 횡단면을 투과전자현미경으로 관찰하면, 결정결합이 Si층내에 추가로 도입되지 않았고, 우수한 결정성을 유지하는 것을 발견하였다.

에피택셜 Si층상에 산화막이 형성되지 않을 때 마찬가지로의 결과를 얻었다. 또한, 산화막이 제 2기체상에 형성됐을 때 마찬가지로의 결과를 얻었다.

동시에, 제 1기체상에 남겨진 다공질 Si는 일정하게 교반된 49%불산과 30%과산화수소와 물의 혼합액을 사용한 선택에칭에 의해 제거되었다. 단결정 Si는 에칭되지 않고 남았고, 다공질 Si는 에칭스톱제로서, 단결정 Si를 사용한 선택에칭에 의해서 완전히 제거되었다. 그래서 이것을 다른 제 1기체의 단결정 Si기판으로서 P'농도층에 형성하는 에피택셜성장 공정이나 다른 제 2부재로서 접합공정에서 재사용할 수 있다.

미소구멍에 기인하는 단결정 Si기판의 표면상의 미소거칠은 재사용하기 전에, 기판을 1시간동안 1100°C로 수소에서 열처리함으로써 제거되었다. 그러나, 이러한 평탄화처리는 표면에 노출된 다공질 Si층의 미소구멍이 에피택셜성장공정전에 미리 수소내에서 행해진 전베어킹작업동안 실행되었을 때 표면평탄화처리를 행했기 때문에 이 기판을 다른 제 1기체의 Si기판으로 재사용하면 불필요하다.

수소내의 상기 열처리는 표면 접촉연마기술을 사용하는 미소구멍에 기인한 미세거칠을 평탄화하는 작업에 의해서 대체될 수 있다.

제 1기체의 Si기판과 수소에 의해 처리된 Si기판은 모두 다공질 Si를 제거한 후에 미세영역내와 넓은 영역에 걸쳐서 표면거칠기에 대해 관찰했을 때 예 1과 마찬가지로의 결과를 얻었다.

각각의 상기예에 대해서, 에피택셜 성장에 사용한 CVD처리는 MBE, 스퍼터링, 액상성장 등 다른 적절한 기술에 의해 대체될 수 있다. 또, 다공질 Si의 선택에칭에 사용하는 용액은 다공질Si층의 표면영역에 상당한 큰 미소구멍이 존재하기 때문에, 상기 언급한 바와 같은 49% 불산, 30% 과산화수소, 물의 혼합액에 한정되지 않고, 불산, 알코올이 첨가된 불산액, 알콜과 과산화수소가 첨가된 불산액, 알콜이나 과산화수소를 첨가하거나 첨가하지 않은 버퍼드불산액, 알코올과 과산화수소를 첨가한 버퍼드불산액, 또는 불산, 질산, 아세트산의 혼합액으로 대체될 수 있다.

또한, 접합된 부재를 분리하는 상기 예에서의 워터제트호름의 사용을 압축, 인장, 전단력을 사용하는 기계적인 처리, 산화에 의해 주변으로부터 다공질 Si층을 팽창시켜서 다공질 Si층에 내압을 부여하는 처리, 다공질 Si층을 역동적으로 가열해서 다공질 Si층에 열응력을 부여하는 처리, 또는 다공질 Si층을 연화시키는 처리에 의해 대체될 수 있다. 산화에 의해 웨이퍼를 분리하기 위해서는 1000°C의 열산화가 적당하다. 가열에 의해 웨이퍼를 분리하기 위해서는 500~1000W의 출력준위를 가진 CO<sub>2</sub>레이저펄스의 조사가 요망된다. 전류에 의해 웨이퍼를 분리하는 경우에는 10~100A의 펄스전류가 바람직하게 사용될 수 있다.

본 발명의 목적을 위하여 다른 스텝이 본 발명의 범위에서 이탈하지 않으면서 적절하게 변경될 수 있다.

(예 12)

P'층은 아래의 에피택셜성장조건하에서 P형 단결정 Si기판의 표면상에  $5 \times 10^{14}/\text{cm}^2$ 의 붕소농도를 가진 에피택셜성장층에 의해서 10 $\mu\text{m}$ 의 두께로 형성되었다.

소스가스 : SiHCl<sub>3</sub>/H<sub>2</sub>/B<sub>2</sub>H<sub>6</sub>

가스유량 : 10g/min/45slm/60sccm(1%)

가스압력 : 760Torr

온 도 : 1,100°C

성장속도 : 3.3 $\mu\text{m}/\text{min}$

다음에 이 기판은 아래의 양극화성 조건하에서 실행된 양극화성처리를 연속적으로 행해서 다른 다공도를 가진 2개의 박막을 구비한 다공질층을 생성시켰다.

제 1 스테이지

전류 밀도 : 7( $\text{mA} \cdot \text{cm}^{-2}$ )

양극화성액 : HF : H<sub>2</sub>O : C<sub>2</sub>H<sub>5</sub>OH = 1 : 1 : 1

시 간 : 5(분)

제 1다공질 Si층의 두께 : 6 $\mu\text{m}$

제 2 스테이지

전류 밀도 : 30( $\text{mA} \cdot \text{cm}^{-2}$ )

양극화성액 : HF : H<sub>2</sub>O : C<sub>2</sub>H<sub>5</sub>OH = 1 : 1 : 1

시 간 : 100(초)

제 2다공질 Si층의 두께 : 3 $\mu\text{m}$

다른 전류밀도를 사용한 결과로서, 제 1다공질층의 다공도는 제 2다공질 Si층보다 낮았다.

다음에 이 기판은 1시간동안 400°C로 산소분위기에서 산화되어 열산화막으로 다공질 Si층의 미소구멍의 내벽을 덮었다. 이어서, HF용액에 의해 다공질층의 표면으로부터 열산화막을 제거한 후에 단결정 Si는

0.3 $\mu$ m/min의 속도로 아래에 언급되는 조건하에서 CVD법에 의해 다공질 Si층상에 에피택셜성장되었다. 다공질 Si층의 표면이 1000 $^{\circ}$ C에서 열처리되었기 때문에 표면의 미소구멍이 채워져서 평탄한 표면을 생성하였다.

소스가스 : SiH<sub>4</sub>Cl<sub>2</sub>/H<sub>2</sub>

가스유량 : 0.5/180 s /min

가스압력 : 80Torr

성장속도 : 0.3 $\mu$ m/min

다음에, SiO<sub>2</sub>층을 열산화에 의해 에피택셜 Si층의 표면상에 200nm의 두께로 형성되어 완성된 제 1기체를 제조하였다.

다음에 SiO<sub>2</sub>층의 표면은 다른 Si기판(제 2기체)의 Si표면과 밀접하게 접촉되었고, 2개 기체는 1시간동안 1000 $^{\circ}$ C로 열처리되었다.

0.2 $\mu$ m직경을 가진 워터제트를 집합된 웨이퍼의 모서리를 따라서 경사진 틈새에 분사했을 때 고다공도를 가진 다공질 Si층을 따라서, 2개의 웨이퍼로 분리되었다.

다음에, 제 2기체상에 남겨진 저 다공도를 가진 잔류다공질 Si층은, 49% 불산, 30% 과산화수소와 물의 혼합액을 교반해서 사용한 선택에칭에 의해 제거되었다. 이동된 단결정 Si는 에칭되지 않고 남았고, 다공질 Si는 에칭스틀제로서 단결정 Si를 사용한 선택에칭에 의해 완전히 제거되었다.

그래서 0.2 $\mu$ m의 두께로 미산화실리콘막상에 단결정 Si층을 형성해서 완성된 반도체부재를 제조하였다. 형성된 단결정 Si층의 막두께는 부재의 전체표면에 걸쳐서 분산된 100개 지점에서 관찰해서 201nm $\pm$  4nm로 균일한 것을 발견하였다.

또한, 얇은 반도체부재는 1시간동안 1100 $^{\circ}$ C로 수소내에서 열처리 되었다. 표면거칠기는 원자력현미경으로 측정해서 50 $\mu$ m 제곱영역에서 표면거칠기의 제곱평균은 약 0.2nm이었고 시판의 Si웨이퍼에 상당하였다.

반도체부재의 형단면을 투과전자현미경으로 관찰했을 때 추가의 결정결함이 Si층내로 도입되지 않았고 우수한 결정성을 유지하는 것을 발견하였다.

동시에 단결정 Si기판상에 남겨진 고다공도를 가진 다공질 Si는 일정하게 교반된 49% 불산, 30% 과산화수소, 물의 혼합액을 사용한 선택에칭에 의해 제거되었다. 단결정 Si는 에칭되지 않고 남았고, 다공질 Si는 에칭스틀제로서 에피택셜성장한 P형도핑층을 사용한 선택에칭에 의해서 완전히 제거되었다.

P형 단결정 Si기판이 그 위에 다공질상태로 나타나지 않고 약 1 $\mu$ m두께인 에피택셜성장한 P형 첨가층을 가졌기 때문에 동일한 조건하에서 다른 에피택셜성장처리를 행해서 약 9 $\mu$ m두께인 추가의 P형층(붕소농도: 5 $\times$  10<sup>18</sup>/cm<sup>3</sup>)을 생성시켜서 제 1P층의 두께와 동일한, P형 단결정 Si기판상에 전체 P층의 총두께를 10 $\mu$ m로 하였다. 따라서, 동일한 처리를 반복함으로써 제 2 Si기판을 얻었다.

다공질층을 제거한 후에 제 1 Si기판상의 잔류P층의 표면거칠기로서는 50 $\mu$ m제곱영역의 미세영역내에서 10nm미만이었고, 이 표면은 넓은영역이나 웨이퍼의 전체표면영역에 걸쳐서 형광하에서 시각적으로 경면 평탄화 되었다.

(예 13)

아래의 양극화성조건을 사용한 것을 제외하고 반도체부재를 예 12와 같이 준비하였다.

P층은 예 12와 마찬가지로 P형 단결정 Si기판의 표면상에 5 $\times$  10<sup>18</sup>/cm<sup>3</sup>의 붕소농도를 가진 에피택셜성장에 의해서 16 $\mu$ m의 두께로 형성되었다.

제 1 스테이지

전류 밀도 : 7(mA $\cdot$ cm<sup>-2</sup>)

양극화성액 : HF : H<sub>2</sub>O : C<sub>6</sub>H<sub>5</sub>OH = 1 : 1 : 1

시 간 : 11(분)

제 1다공질 Si층의 두께 : 12 $\mu$ m

제 2 스테이지

전류 밀도 : 20(mA $\cdot$ cm<sup>-2</sup>)

양극화성액 : HF : H<sub>2</sub>O : C<sub>6</sub>H<sub>5</sub>OH = 1 : 1 : 1

시 간 : 3(분)

제 2다공질 Si층의 두께 : 3 $\mu$ m

다른 전류밀도를 사용한 결과로서, 제 1다공질 Si층의 다공도는 제 2다공질 Si층 보다 낮았다.

다음에 반도체부재는 예 12와 마찬가지로 에피택셜성장, 집합, 분리에 의해서 준비되었다.

본 예에서 얻은 단결정 Si층의 막두께는 에칭작업후에  $201\text{nm} \pm 4\mu\text{m}$ 로 균일한 것을 발견하였다. 얻은 반도체부재를 1시간동안  $1100^\circ\text{C}$ 로 수소내에서 열처리한 후에 반도체부재의 표면거칠기를 측정해서  $50\mu\text{m}$ 제 공영역 내에서 표면거칠기의 제곱평균이 약  $0.2\text{nm}$ 인 것을 발견하였다. 반도체부재의 횡단면을 투과전자 현미경으로 관찰했을 때, 추가의 결정결함이 Si층 내로 도입되지 않았고, 우수한 결정성을 유지하는 것을 발견하였다.

P형 단결정 Si기판이 그 위에 다공질상태로 나타나지 않고 약  $1\mu\text{m}$ 두께인 에피택셜성장한 P형 첨가층을 가졌기 때문에 동일한 조건하에서 다른 에치택셜성장처리를 행해서 약  $9\mu\text{m}$ 두께인 추가의 P형층(농도:  $5 \times 10^{17}/\text{cm}^3$ )을 생성시켜서 제 1 P층의 두께와 동일한, P형 단결정 Si기판상에 전체 P층의 총두께를  $10\mu\text{m}$ 로 하였다. 따라서, 동일한 처리를 반복함으로써 제 2 Si기판을 얻었다.

### 발명의 효과

상기 구체적으로 언급한 바와 같이 본 발명에 따르면, 다공질층과 기판의 공유면상에 요철이 거의 없고, 재생산성을 향상시켜서 상대기판으로부터 확실하게 분리할 수 있는 반도체부재의 제조방법을 제공한다. 본 발명에 따른 방법에 의해서 반도체부재를 저가로 제조할 수 있다.

### (57) 청구의 범위

청구항 1. 반도체기판의 적어도 하나의 표면쪽에 도전형을 제어할 수 있는 원소를 첨가한 첨가층을 형성하는 공정과, 이 첨가층의 표면을 이 첨가층보다 얇은 다공질층을 얻기 위하여 다공질화하는 공정과, 형성된 다공질층상에 비다공질층을 형성해서 제 1기체를 준비하는 공정과, 상기 제 1기체와 제 2기체를 상기 다공질층이 안쪽에 위치하는 다층구조체를 얻을 수 있도록 집합하는 공정과, 상기 다공질층을 따라서 상기 다층구조체를 분리하는 공정을 구비한 것을 특징으로 하는 반도체부재의 제조방법.

청구항 2. 제 1항에 있어서, 분리된 제 1기체를 다른 반도체부재를 제조하기 위한 상기 반도체기판으로서 재사용하는 공정을 더 구비한 것을 특징으로 하는 반도체부재의 제조방법.

청구항 3. 제 1항에 있어서, 분리된 제 1기체를 다른 반도체부재를 제조하기 위한 상기 제 2기체로서 재사용하는 공정을 더 구비한 것을 특징으로 하는 반도체부재의 제조방법.

청구항 4. 제 1항에 있어서, 상기 첨가층과 상기 다공질층이 상기 반도체기판의 양면의 각각에 형성되고, 다음에, 상기 비다공질층이 상기 다공질층의 각각에 형성되는 것을 특징으로 하는 반도체부재의 제조방법.

청구항 5. 제 1항에 있어서, 상기 도전형을 제어할 수 있는 원소는 상기 첨가층의 도전형을 n형으로 제어할 수 있는 것을 특징으로 하는 반도체부재의 제조방법.

청구항 6. 제 5항에 있어서, 상기 도전형을 제어할 수 있는 원소는 P, As, Sb로부터 선택되는 것을 특징으로 하는 반도체부재의 제조방법.

청구항 7. 제 1항에 있어서, 상기 도전형을 제어할 수 있는 원소는 상기 첨가층의 도전형을 P형으로 제어할 수 있는 것을 특징으로 하는 반도체부재의 제조방법.

청구항 8. 제 7항에 있어서, 상기 도전형을 제어할 수 있는 원소는 B인 것을 특징으로 하는 반도체부재의 제조방법.

청구항 9. 제 1항에 있어서, 상기 첨가층은 확산법에 의해 형성되는 것을 특징으로 하는 반도체부재의 제조방법.

청구항 10. 제 1항에 있어서, 상기 첨가층은 에피택셜성장법에 의해 형성되는 것을 특징으로 하는 반도체부재의 제조방법.

청구항 11. 제 9항 또는 제 10항에 있어서, 상기 도전형을 제어할 수 있는 원소는 소스로서 기체를 사용해서 공급되는 것을 특징으로 하는 반도체부재의 제조방법.

청구항 12. 제 9항 또는 제 10항에 있어서, 상기 도전형을 제어할 수 있는 원소는 소스로서 액체를 사용해서 공급되는 것을 특징으로 하는 반도체부재의 제조방법.

청구항 13. 제 9항 또는 제 10항에 있어서, 상기 도전형을 제어할 수 있는 원소는 소스로서 고체를 사용해서 공급되는 것을 특징으로 하는 반도체부재의 제조방법.

청구항 14. 제 1항에 있어서, 복수의 다공질층은 서로 다른 다공도를 가진 상기 첨가층에 형성되어 있는 것을 특징으로 하는 반도체부재의 제조방법.

청구항 15. 제 1항에 있어서, 상기 다공질층은 서로 다른 다공도를 가진 제 1 및 제 2다공질층을 포함하고, 상기 제 1 및 제 2다공질층은 한쪽이 다른쪽위에 놓여서 다층을 형성하고, 상기 비다공질층에 인접해서 위치한 제 1다공질층은 저다공도를 가지는 것을 특징으로 하는 반도체부재의 제조방법.

청구항 16. 제 1항에 있어서, 상기 첨가층은 에피택셜성장법에 의해 형성된 에피택셜층을 구비하고, 상기 다공질층은 이 에피택셜층에 형성되어 있는 것을 특징으로 하는 반도체부재의 제조방법.

청구항 17. 제 16항에 있어서, 상기 다공질층은 서로 다른 다공도를 가진 복수의 다공질층을 구비하는 것을 특징으로 하는 반도체부재의 제조방법.

청구항 18. 제 14항 또는 제 17항에 있어서, 상기 다층구조체는 고다공도를 가진 다공질층의 계면내 및/또는 계면에서 분리되는 것을 특징으로 하는 반도체부재의 제조방법.

청구항 19. 제 1항에 있어서, 상기 첨가층에 함유되는, 상기 도전형을 제어할 수 있는 원소의 농도는

$5 \times 10^{16}/\text{cm}^2 \sim 5 \times 10^{17}/\text{cm}^2$ 의 범위에서 제어되는 것을 특징으로 하는 반도체부재의 제조방법.

청구항 20. 제 1항에 있어서, 상기 첨가층에 함유되는, 상기 도전형을 제어할 수 있는 원소의 농도는  $1 \times 10^{17}/\text{cm}^2 \sim 2.0 \times 10^{18}/\text{cm}^2$ 의 범위에서 제어되는 것을 특징으로 하는 반도체부재의 제조방법.

청구항 21. 제 1항에 있어서, 상기 첨가층에 함유되는, 상기 전도형을 제어할 수 있는 원소의 농도는  $5 \times 10^{17}/\text{cm}^2 \sim 1.0 \times 10^{18}/\text{cm}^2$ 의 범위에서 제어되는 것을 특징으로 하는 반도체부재의 제조방법.

청구항 22. 제 1항에 있어서, 상기 다층구조체는 상기 다공질층에 외력을 부여함으로써 분리되는 것을 특징으로 하는 반도체부재의 제조방법.

청구항 23. 제 22항에 있어서, 상기 힘이, 상기 다층구조체에 그 표면에 수직인 방향으로 압력을 가함으로써, 그 표면에 수직인 방향으로 그것을 인장함으로써 및/또는 그것에 전단력을 가함으로써 부여되는 것을 특징으로 반도체부재의 제조방법.

청구항 24. 제 1항에 있어서, 상기 다층구조체는 상기 다층구조체의 주변에지부에서 다공질실리콘을 노출시킨 후에 이 다층구조체를 산화함으로써 분리되는 것을 특징으로 하는 반도체부재의 제조방법.

청구항 25. 제 1항에 있어서, 상기 다층구조체는 상기 다층구조체를 가열함으로써 분리되는 것을 특징으로 하는 반도체부재의 제조방법.

청구항 26. 제 25항에 있어서, 상기 다층구조체는 전체적으로 가열되는 것을 특징으로 하는 반도체부재의 제조방법.

청구항 27. 제 25항에 있어서, 상기 다층구조체는 부분적으로 가열되는 것을 특징으로 하는 반도체부재의 제조방법.

청구항 28. 제 27항에 있어서, 상기 다층구조체는 레이저 또는 전류에 의해서 가열되는 것을 특징으로 하는 반도체부재의 제조방법.

청구항 29. 제 28항에 있어서, 상기 레이저는 이산화탄소레이저인 것을 특징으로 하는 반도체부재의 제조방법.

청구항 30. 제 1항에 있어서, 상기 다층구조체는 상기 다층구조체의 단부에 유체의 흐름을 풀어보냄으로써 분리되는 것을 특징으로 하는 반도체부재의 제조방법.

청구항 31. 제 1항에 있어서, 상기 비다공질층이 단결정실리콘층인 것을 특징으로 하는 반도체부재의 제조방법.

청구항 32. 제 31항에 있어서, 산화실리콘이 상기 단결정실리콘층에 형성되어 있는 것을 특징으로 하는 반도체부재의 제조방법.

청구항 33. 제 1항에 있어서, 상기 비다공질층은, 단결정화합물 반도체층인 것을 특징으로 하는 반도체부재의 제조방법.

청구항 34. 제 4항에 있어서, 1층의 제 2기체가 상기 제 1기체의 양면에 각각 접합되어 있는 것을 특징으로 하는 반도체부재의 제조방법.

청구항 35. 제 1항 내지 제 3항중 어느 한 항에 있어서, 상기 분리된 반도체기판 및/또는 상기 분리된 제 2기체상에 잔류하는 잔류다공질층을 제거하는 공정을 더 구비하는 것을 특징으로 하는 반도체부재의 제조방법.

청구항 36. 제 35항에 있어서, 상기 제거공정은 상기 잔류다공질층을 에칭하는 공정인 것을 특징으로 하는 반도체부재의 제조방법.

청구항 37. 제 35항에 있어서, 상기 제거공정은 수소함유완원분위기에서 상기 잔류다공질층을 열처리하는 공정인 것을 특징으로 하는 반도체부재의 제조방법.

청구항 38. 제 35항에 있어서, 상기 잔류다공질층이 에칭되고, 다음에 상기 분리된 반도체기판 및/또는 상기 분리된 제 2기체가 수소함유완원분위기에서 열처리되는 것을 특징으로 하는 반도체부재의 제조방법.

청구항 39. 제 1항 내지 제 3항중 어느 한 항에 있어서, 상기 분리된 반도체기판의 표면 및/또는 상기 분리된 제 2기체의 표면은 평탄화되어 있는 것을 특징으로 하는 반도체부재의 제조방법.

청구항 40. 제 35항에 있어서, 상기 제거공정은 상기 잔류다공질층을 불산, 불산에 마름 및 과산화수소수의 적어도 어느 한쪽을 첨가한 혼합액, 비퍼드불산, 또는 비퍼드불산에 알콜 및 과산화수소의 적어도 어느 한쪽을 첨가한 혼합액에 침윤(浸潤)시킴으로써 행해지는 것을 특징으로 하는 반도체부재의 제조방법.

청구항 41. 제 35항에 있어서, 상기 제거공정은 상기 비다공질층을 스토퍼로서 사용해서 선택적으로 상기 다공질층을 연마함으로써 행해지는 것을 특징으로 하는 반도체부재의 제조방법.

청구항 42. 제 1항에 있어서, 상기 접합공정은 상기 기체를 밀착시키는 공정인 것을 특징으로 하는 반도체부재의 제조방법.

청구항 43. 제 1항에 있어서, 상기 접합공정은 양극접합, 가압, 열처리, 또는 이들의 조합중에서 선택된 방법에 의해 행해지는 것을 특징으로 하는 반도체부재의 제조방법.

청구항 44. 반도체기판, 이 반도체기판상에 형성된 단결정반도체층 및 이 단결정반도체층상에 형성된

다공질층으로 이루어지고;

상기 단결정반도체층은 에피택셜성장법에 의해 형성된 층이고;

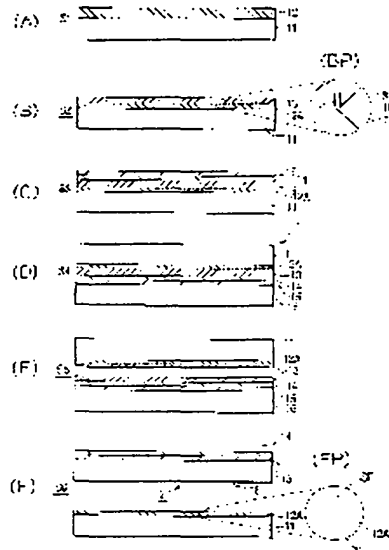
상기 다공질층은 서로 다른 각각의 다공도를 가진 복수의 층으로 이루어진 것을 특징으로 하는 반도체부재.

**청구항 45.** 제 44항에 있어서, 상기 다공질층은 에피택셜성장법에 의해 형성된 상기 층의 표면층을 다공질화해서 상기 다공질층의 두께를 에피택셜성장법에 의해 형성된 상기 층의 두께보다 얇게 함으로써 얻어지는 것을 특징으로 하는 반도체부재.

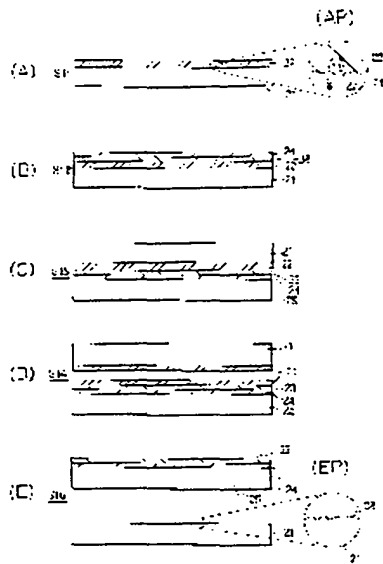
**청구항 46.** 제 44항에 있어서, 상기 반도체기판으로부터 분리될 수 있는 비다공질층을 더 구비한 것을 특징으로 하는 반도체부재.

**도면**

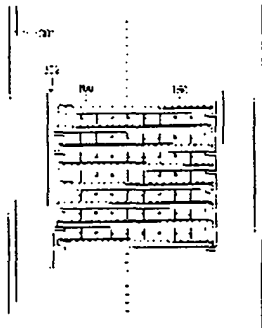
**도면1**



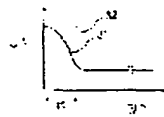
도면2



도면3

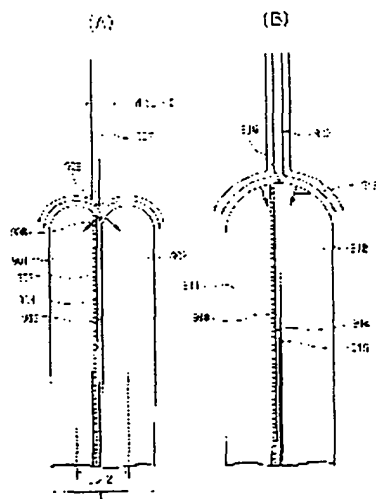


도면4

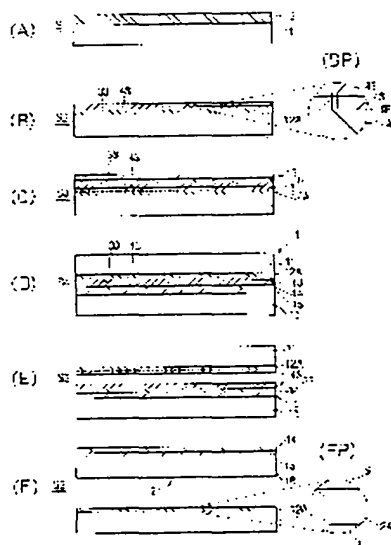




도면5



도면6



507

[illegible]

528

DATE	TIME	DESCRIPTION	AMOUNT	CHECK NO.	INITIALS
10/24	3:30	RECEIVED FROM THE BANK	100.00	100	
10/25	4:00	PAYROLL	50.00	101	
10/26	4:15	PAYROLL	50.00	102	
10/27	4:30	PAYROLL	50.00	103	
10/28	4:45	PAYROLL	50.00	104	
10/29	5:00	PAYROLL	50.00	105	
10/30	5:15	PAYROLL	50.00	106	
10/31	5:30	PAYROLL	50.00	107	
11/1	5:45	PAYROLL	50.00	108	
11/2	6:00	PAYROLL	50.00	109	
11/3	6:15	PAYROLL	50.00	110	
11/4	6:30	PAYROLL	50.00	111	
11/5	6:45	PAYROLL	50.00	112	
11/6	7:00	PAYROLL	50.00	113	
11/7	7:15	PAYROLL	50.00	114	
11/8	7:30	PAYROLL	50.00	115	
11/9	7:45	PAYROLL	50.00	116	
11/10	8:00	PAYROLL	50.00	117	
11/11	8:15	PAYROLL	50.00	118	
11/12	8:30	PAYROLL	50.00	119	
11/13	8:45	PAYROLL	50.00	120	
11/14	9:00	PAYROLL	50.00	121	
11/15	9:15	PAYROLL	50.00	122	
11/16	9:30	PAYROLL	50.00	123	
11/17	9:45	PAYROLL	50.00	124	
11/18	10:00	PAYROLL	50.00	125	
11/19	10:15	PAYROLL	50.00	126	
11/20	10:30	PAYROLL	50.00	127	
11/21	10:45	PAYROLL	50.00	128	
11/22	11:00	PAYROLL	50.00	129	
11/23	11:15	PAYROLL	50.00	130	
11/24	11:30	PAYROLL	50.00	131	
11/25	11:45	PAYROLL	50.00	132	
11/26	12:00	PAYROLL	50.00	133	
11/27	12:15	PAYROLL	50.00	134	
11/28	12:30	PAYROLL	50.00	135	
11/29	12:45	PAYROLL	50.00	136	
11/30	1:00	PAYROLL	50.00	137	
12/1	1:15	PAYROLL	50.00	138	
12/2	1:30	PAYROLL	50.00	139	
12/3	1:45	PAYROLL	50.00	140	
12/4	2:00	PAYROLL	50.00	141	
12/5	2:15	PAYROLL	50.00	142	
12/6	2:30	PAYROLL	50.00	143	
12/7	2:45	PAYROLL	50.00	144	
12/8	3:00	PAYROLL	50.00	145	
12/9	3:15	PAYROLL	50.00	146	
12/10	3:30	PAYROLL	50.00	147	
12/11	3:45	PAYROLL	50.00	148	
12/12	4:00	PAYROLL	50.00	149	
12/13	4:15	PAYROLL	50.00	150	
12/14	4:30	PAYROLL	50.00	151	
12/15	4:45	PAYROLL	50.00	152	
12/16	5:00	PAYROLL	50.00	153	
12/17	5:15	PAYROLL	50.00	154	
12/18	5:30	PAYROLL	50.00	155	
12/19	5:45	PAYROLL	50.00	156	
12/20	6:00	PAYROLL	50.00	157	
12/21	6:15	PAYROLL	50.00	158	
12/22	6:30	PAYROLL	50.00	159	
12/23	6:45	PAYROLL	50.00	160	
12/24	7:00	PAYROLL	50.00	161	
12/25	7:15	PAYROLL	50.00	162	
12/26	7:30	PAYROLL	50.00	163	
12/27	7:45	PAYROLL	50.00	164	
12/28	8:00	PAYROLL	50.00	165	